



35.C15463

2853
#3
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
YOSHIAKI HIRANO)	Examiner: Not Yet Assigned
Application No.: 09/884,065)	Group Art Unit: 2853
Filed: June 20, 2001)	
For: PRINTER, PRINT CONTROL)	
APPARATUS AND METHOD)	October 16, 2001

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Applications:

2000-185803, filed June 21, 2000 and

2001-156270, filed May 25, 2001.

Certified copies of the priority documents are enclosed.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

Carl B. Viscip
Attorney for Applicant

Registration No. 43,279

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

RECEIVED
OCT 19 2001
TSC 3800 MAIL ROOM



CFO 15468 US / mas
Appn. No. 09/854,065
G.A. 0250

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 5月25日

出 願 番 号
Application Number:

特願2001-156270

出 願 人
Applicant(s):

キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3062319

【書類名】 特許願

【整理番号】 4388007

【提出日】 平成13年 5月25日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 25/00

【発明の名称】 印刷装置、印刷装置の制御方法、印刷制御装置、および
印刷制御装置の制御方法

【請求項の数】 15

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内

【氏名】 平野 義昭

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100075292

【弁理士】

【氏名又は名称】 加藤 卓

【電話番号】 03(3268)2481

【先の出願に基づく優先権主張】

【出願番号】 特願2000-185803

【出願日】 平成12年 6月21日

【手数料の表示】

【予納台帳番号】 003089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703714

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 印刷装置、印刷装置の制御方法、印刷制御装置、および印刷制御装置の制御方法

【特許請求の範囲】

【請求項 1】 PDL コントローラと所定の記録方式により構成されたプリンタエンジンとがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データを DMA 転送する印刷装置において、

前記 PDL コントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90 度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジンのメモリに DMA 転送する制御手段を有することを特徴とする印刷装置。

【請求項 2】 描画データを上記バッファメモリサイズの所定の矩形領域に区分し、前記矩形領域ごとに PDL コントローラ内のメモリの前記矩形領域の先頭アドレス、有効印字領域幅、前記矩形領域の幅、前記矩形領域のライン数あるいは転送サイズ、および、プリンタエンジンのメモリの前記矩形領域の先頭アドレス、有効印字領域幅、前記矩形領域の幅、前記矩形領域のライン数あるいは転送サイズを設定して DMA 転送することを特徴とする請求項 1 に記載の印刷装置。

【請求項 3】 前記バッファメモリが $N \times M \text{ bit}$ のサイズを有し、 N が PDL コントローラ側データバスサイズの正の整数倍、及び M がプリンタエンジン側データバスサイズの正の整数倍に相当することを特徴とする請求項 1 に記載の印刷装置。

【請求項 4】 前記 $N \times M \text{ bit}$ のバッファメモリが複数個設けられ、PDL コントローラ内のメモリから一方のバッファメモリに描画データを書き込むと同時に、他方のバッファメモリからプリンタエンジンのメモリへデータを読み出して書き込むことを特徴とする請求項 3 に記載の印刷装置。

【請求項 5】 前記 PDL コントローラ内で展開した描画データを、一旦 $N \times M \text{ bit}$ にかつ単一のバッファメモリに書き込み、90 度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジンのメモリに DMA 転送する際、前記バッファメモリから前記プリンタエンジンのメモリへ転送するデータを

読み出しながら次の描画データを前記バッファメモリに書き込むことを特徴とする請求項 1 に記載の印刷装置。

【請求項 6】 所定処理条件に応じて、前記 PDL コントローラ内で展開した描画データを、一旦バッファメモリに書き込み、前記バッファメモリから読み出し、前記プリンタエンジンのメモリに DMA 転送する際の前記データの 90 度回転を実行するか否かを制御することを特徴とする請求項 1 に記載の印刷装置。

【請求項 7】 前記の所定処理条件がそれぞれ異なる印刷方向を有する同一サイズ of 用紙の有無であり、該所定処理条件に応じて前記データの 90 度回転を実行するか否かを制御することを特徴とする請求項 6 に記載の印刷装置。

【請求項 8】 前記 PDL コントローラ内で展開した描画データを、前記 PDL コントローラおよびプリンタエンジン間で描画データ以外のデータを転送する共通バスとは異なる専用バスを介して前記バッファメモリに転送することを特徴とする請求項 1 に記載の印刷装置。

【請求項 9】 PDL コントローラと所定の記録方式により構成されたプリンタエンジンとがパラレルインターフェースにより接続され、該インターフェースを介して印刷すべき画像データを DMA 転送するプリンタ装置の制御方法において、

前記 PDL コントローラ内で展開した描画データを、一旦バッファメモリに書き込み、90 度回転したデータを前記バッファメモリから読み出し、前記プリンタエンジンのメモリに DMA 転送する工程を有することを特徴とする印刷装置の制御方法。

【請求項 10】 印刷データに基づきビットマップデータを発生する発生手段と、

前記発生手段により発生されたビットマップデータを記憶する記憶手段と、

前記記憶手段に記憶されたビットマップデータを印刷機構に転送する際に、前記ビットマップデータを回転する回転手段とを有することを特徴とする印刷制御装置。

【請求項 11】 前記回転手段は、前記発生手段によりビットマップデータを発生した際の紙の向きと実際に印刷する紙の向きとが異なる場合に回転すること

を特徴とする請求項 1 0 記載の印刷制御装置。

【請求項 1 2】 印刷データに基づきビットマップデータを発生する発生手段と、前記発生手段により発生されたビットマップデータを記憶する記憶手段とを利用する印刷制御装置の制御方法であって、

前記記憶手段に記憶されたビットマップデータを印刷機構に転送する際に、前記ビットマップデータを回転することを特徴とする印刷制御装置の制御方法。

【請求項 1 3】 前記回転は、前記発生手段によりビットマップデータを発生した際の紙の向きと実際に印刷する紙の向きとが異なる場合に回転することを特徴とする請求項 1 2 記載の印刷制御装置の制御方法。

【請求項 1 4】 印刷データに基づきビットマップデータを発生する発生手段と、

前記発生手段により発生されたビットマップデータを記憶する記憶手段と、

前記ビットマップデータに基づき印刷を行なうプリンタエンジンと、

前記記憶手段に記憶されたビットマップデータを前記プリンタエンジンに転送する際に、前記ビットマップデータを回転する回転手段とを有することを特徴とする印刷装置。

【請求項 1 5】 前記回転手段は、前記発生手段によりビットマップデータを発生した際の紙の向きと実際に印刷する紙の向きとが異なる場合に回転することを特徴とする請求項 1 4 記載の印刷装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、印刷データから印刷機構で印刷させる描画データを生成する印刷装置、印刷装置の制御方法、印刷制御装置、および印刷制御装置の制御方法に関するものである。

【0 0 0 2】

【従来の技術】

従来、レーザビームプリンタで代表される電子写真方式のプリンタにおいては、ホストコンピュータ等の外部装置から P D L（ページ記述言語）などの形式で

表現された印刷データ（コードデータやイメージデータ等）を受信し、PDLからビットマップデータへの展開を行なうPDLボード（印刷制御装置）により受信データに基づきビットマップデータを展開し、展開されたビットマップデータをビデオデータとしてプリンタエンジンに出力している。

【 0 0 0 3 】

印刷制御装置としてのPDLボードは、プリンタに最初から組み込まれるものと、アダプタカードなどの形式でプリンタに後付けされるものがある。

【 0 0 0 4 】

図14、図15は従来のPDLボードとプリンタエンジン間のデータ転送の様子を示している。PDLボード内のメモリに展開した描画データを、バンド毎にエンジン本体のメモリへ転送するが、その際、バンド（1、2…N）と呼ばれる所定のデータ単位ごとに展開および転送が行なわれる。ここでは、PDLボードとプリンタエンジン間で、回転などの処理を行なうことなく同一のデータがそのまま転送されている。

【 0 0 0 5 】

最近では、この種の装置における解像度は非常に高くなってきており、それにつれて転送するビットマップデータも膨大な量になりつつある。

【 0 0 0 6 】

従来ではPDLボードと、プリンタエンジンとの間で、シリアルインターフェースによりシリアルデータとしてビットマップデータを転送する構成もあったが、最近では、上記のような転送量の増大に鑑みビットマップデータをパラレルデータとして転送するようになってきた。

【 0 0 0 7 】

すなわち、PDLボードとプリンタエンジンとの間を標準的なパラレルなインターフェース（以降、I/Fと表記する）、たとえばVLバス、PCIバス、IDEバスなどのI/Fを介して接続し、データ転送を行なう構成が知られており、これらのI/Fを用いて、PDL内で展開したビットマップデータを一度エンジン本体のRAMに格納してから印刷したり、同じバスを用いて、コマンド/ステータスデータの入出力も行なうようになりつつある。

【 0 0 0 8 】

【発明が解決しようとする課題】

さらに、最近では、印刷処理のスループットを上げるために、所定サイズ用の紙、たとえば、A4用紙に印刷する場合、エンジンでA4横用紙を用いる、つまり長手方向に主走査ラインが沿うような方向で用紙を搬送して印刷する手法が用いられている。この場合は、縦方向の処理を前提としてホストから送信され、また展開されたビットマップデータをいずれかの処理段階で90度回転する必要がある。

【 0 0 0 9 】

ところが、従来では、このような画像の回転を行なう場合は、PDLボードが展開時に回転したビットマップデータをPDLボード内のメモリに描画する方法が用いられていたが、このように展開時に描画データを回転すると、PDLボードの展開能力を充分発揮できないという問題があった。

【 0 0 1 0 】

また、上記のような画像データの90°の回転は時に必要でなくなる場合がある。たとえば、A4横用紙に印刷する場合、90°回転した画像データを用いなければならないが、A4横用紙がカセット内に無くなってしまった場合はエンジン側で緊急避難的にA4縦用紙を用いて印刷しなければならないケースが生じる。この場合には、A4縦用紙に合わせて、エンジン本体内でさらに90°の回転を行わなければならない、処理の無駄が大きい。

【 0 0 1 1 】

また、PDLボード内のメモリに展開されたビットマップデータを、エンジン本体のメモリに転送する場合、コマンドやステータスデータと共通のバスを使用すると、ビットマップデータの転送中は他のデバイスがバスを獲得できず、他のデバイスが動作できなくなるという問題点がある。この問題は、特にスループットの大きい高速機で、顕著に現れる。

【 0 0 1 2 】

本発明の課題は、上記の問題を解決し、印刷装置のスループットを低下させることなく画像の回転を行なうとともに、印刷処理状況に拘らず無駄な処理を行な

うことなく高速な印刷を行なえる印刷装置、印刷装置の制御方法、印刷制御装置、および印刷制御装置の制御方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は上記従来の欠点を除去するために成されたものであり、印刷データから印刷機構で印刷させる描画データを生成する印刷装置、印刷装置の制御方法、印刷制御装置、および印刷制御装置の制御方法において、印刷データを展開して得た描画データを印刷機構側に転送する転送過程を利用して画像データの回転処理を行なう構成を採用した。

【 0 0 1 4 】

【発明の実施の形態】

本発明は印刷装置（プリンタ）、印刷制御装置（PDLコントローラ）の構成およびこれら装置の制御方法に関するもので、スループットを向上させるためにホストから受信したA4画像データをA4横用紙に印刷する場合、従来のようにPDLコントローラ側で回転したビットマップデータとして展開し、各バンド毎に描画しA4横用紙サイズの描画データを生成するのではなく、PDLコントローラ側では回転処理を行なうことなくメモリ内に縦用紙サイズの描画データを生成し、PDLボード内のメモリから本体のメモリへPCIコントローラを経由して描画データをDMA転送する過程で、PCIコントローラ内に設けたバッファメモリを利用して描画データを回転させる（第1実施形態～第5実施形態の基本構成）。

【 0 0 1 5 】

また、本発明では、PCIコントローラ内に設けたバッファメモリ（FIFO）の構成（第2実施形態）や、転送方法（第3実施形態）を工夫することによって、より効率のよい画像データ転送を行なう。

【 0 0 1 6 】

さらに、本発明では、エンジン側の用紙の有無に応じてPDLコントローラからプリンタエンジンへのデータ転送時に、展開データを回転するかしないかを制御する（第4実施形態）。

【 0 0 1 7 】

また、本発明では、外部機器から入力された印刷データのうち、コマンド／ステータスデータや文字コードによる印字データは共通バスを用いて PDL コントローラ内のメモリから PCI コントローラ経由でプリンタエンジンのメモリへ転送するが、画像データ、すなわち PDL コントローラで展開したビットマップデータは共通バスを用いるのではなく、専用のバスを用いて転送する（第 5 実施形態）。

【 0 0 1 8 】

以下、添付図面を参照して、本発明の実施形態（第 1 ～ 第 5 実施形態）を順次詳細に説明する。各実施形態において、同一または類似の部材には同一の参照符号を用い、その詳細な説明は省略するものとする。

【 0 0 1 9 】

〔 第 1 実施形態 〕

図 1 は本発明を採用した印刷システムの構成を示す。図 1 の装置は、PCI バス 3 を利用して PDL コントローラ部 1 とプリンタエンジン部 2 を接続する構成を有する。PDL コントローラ部 1 は装置の PCI バス 3 に最初から組み付けておくか、あるいは PCI カードスロットに後付けされる。周知のように、PCI バスはパラレルデータ転送を行なうパラレルインターフェースの 1 種であるが、本実施形態の PCI バスはあくまでも一例に過ぎず、PDL コントローラ部 1 とプリンタエンジン部 2 を接続するには他の適当な（パラレル）バスインターフェース方式を用いることができる。

【 0 0 2 0 】

PDL コントローラ部 1 において、符号 1 0 1 はユーザーインターフェースのための表示パネルであり、パネル I / F 1 0 2 を介して PDL 内のバス 1 1 0 に接続されている。

【 0 0 2 1 】

符号 1 0 3 はホスト I / F であり、パーソナルコンピュータなどの外部機器 1 0 4 と接続するためのものであり、IEEE 1 2 8 4 などのインターフェースにより構成される。

【0022】

符号105は画像データを発生する画像データ発生部であり、RAM106内にホストI/F103から受信したPDL形式などによる印刷データから展開したビットマップデータ（画像データ）を書き込む。

【0023】

PDLコントローラ部1のROM107にはPDLコントローラ部1の動作を制御するCPU108のプログラム及び、フォントデータが書き込まれている。

【0024】

符号109はRAM106内に書き込まれた画像データ及び、コマンド／ステータスデータをプリンタエンジン2へ転送するPCIコントローラであり、PCIバス3に接続されている。

【0025】

符号331はCPU108からPCIコントローラ109へ出力されるCPU制御信号であり、332はPCIコントローラ109からCPU108へ出力されるバス制御信号である。

【0026】

符号4はPCIバス3に接続されたネットワーク送受信部であり、ネットワーク（イーサネットなど）を経由して外部機器5に接続され、PDLコントローラ部1は、前述の外部機器104だけではなく、外部機器5～ネットワーク送受信部4～PCIバス3～PCIコントローラ109経由でもPDLコードを受信することができる。

【0027】

一方、プリンタエンジン部2において、PCI I/F201はプリンタエンジン内のPCIコントローラであり、PDLコントローラ部1のRAM106、PCIコントローラ109を介して送られてくるビットマップデータ及び、コマンド／ステータスデータをプリンタエンジン内のRAM204へ転送する。また、プリンタエンジン2からのコマンド／ステータスデータもRAM204からRAM106へ、PCIコントローラ201及び、109を経由してDMA転送される。

【0028】

符号202、203はプリンタエンジンの動作を制御するCPU及びROMであり、符号205はRAM204内に格納された画像データをプリンタ206へ転送するプリンタI/F部である。プリンタ206は、レーザビーム方式などの記録方式により構成された記録機構である。

【0029】

図2は、上記のPCIコントローラ109の内部構造を詳細に示している。図2において、符号303はPDLボード内のデータバスで、340はPDL内のアドレスバスである。

【0030】

符号372、373、374はPCIバス3側の信号であり、それぞれ、AD（アドレスデータ）信号、コントロール信号、コマンド/バイトイネーブル信号に相当する。

【0031】

PDLコントローラ部1内のRAM106（図1）からエンジン本体内のRAM204（図1）へステータスデータを転送する場合は、PDLデータバス303から双方向バッファ305及び、データの並びがそのまま（31：0）のデータバス307を介して、一旦バッファメモリ用のFIFO308に格納された後、データバス312、選択信号328によりA入力を選択したセクタ313、データバス317、マスタコントローラ314を経由してPCIバス372に出力され、PCIコントローラ201を経由して、RAM204への書き込みが行なわれる。

【0032】

なお、図中の信号線に付した（31：0）のような表記は、その信号線が転送するビット数、あるいは位置を示している。たとえば、（31：0）は32ビットの信号（線）であり、「：」の左側がMSB側を、右側がLSB側を示すものとする。

【0033】

転送先アドレス及び、転送元アドレスはエンジンCPU202及び、PDL内

のCPU108により設定できるが、まずエンジンCPU202より設定する手法を以下に述べる。

【0034】

PDLRAM106からエンジン本体RAM204へのデータ転送、及びエンジン本体RAM204からPDLRAM106へのデータ転送はDMAコントローラ322によりDMA転送により制御されるものであり、DMAコントローラ322内には2チャンネル分のDMAコントローラが存在する。

【0035】

RAM204への転送先アドレスは、エンジンCPU202によりPCIアドレスバス372、ターゲットコントローラ371、データバス365、AND回路337、OR回路338、データバス339を介してDMAコントローラ322内のアドレスカウンタ323に設定され、更にアドレスバス330を介してマスタコントローラ314に入力され、PCIアドレスバス372から出力される。ここで、アドレスカウンタ323内には2チャンネル分のアドレスカウンタがあり、ここではチャンネル1用のアドレスカウンタに転送先アドレスを設定している。

【0036】

また、転送元アドレスを設定する場合、エンジンCPU202はPCIアドレスバス372、ターゲットコントローラ371、データバス365、AND回路351、OR回路352、データバス353を介してアドレスカウンタ348に転送元アドレスが設定され、双方向バッファ341を介してアドレスバス340へ出力される。なお、アドレスカウンタ348内にも2チャンネル分のアドレスカウンタがあり、ここではチャンネル1用のアドレスカウンタに転送元アドレスを設定している。ここで、FIFO308を介してDMA転送する場合はアドレスカウンタ323、348のチャンネル1を使用するが、FIFO315を介してDMA転送する場合はアドレスカウンタ323、348のチャンネル2を使用する。

【0037】

ここで、コマンド/バイトイネーブル信号374、デコーダ369を介してラ

イト信号370が生成され、アドレスカウンタ323及び348へ入力される。
また、PCIアドレスバス372、ターゲットコントローラ371、アドレスバス366、アドレスデコーダ360により、レジスタ選択信号361 (PCS (2:1))、363 (PCS (25:21))、362 (PCS (15:11))が生成されるが、選択信号359 (PCS2)、363 (PCS (25:21))がHighのときは、AND回路337、OR回路338、データバス339を介して、データバス365が選択され、アドレスカウンタ323に入力され、転送先アドレスが設定される。

【0038】

さらに、選択信号358 (PCS1)、362 (PCS (15:11))がHighのときはAND回路351、OR回路352、データバス353を介して、データバス365が選択され、アドレスカウンタ348に入力され、転送元アドレスが設定される。

【0039】

同様にして、PDLコントローラ部1内のCPU108により転送先アドレス及び、転送元アドレスを設定する場合は、CPU108からライト信号349がアドレスカウンタ323及び348へ入力される。また、アドレスバス340、双方向バッファ341、アドレスデコーダ344により、レジスタ選択信号345 (LCS (2:1))、346 (LCS (25:21))、347 (LCS (15:11))が生成されるが、選択信号357 (LCS2)、346 (LCS (25:21))がHighのときはAND回路336、OR回路338、データバス339を介して、PDL内のデータバス307が選択され、アドレスカウンタ323に入力され、転送先アドレスが設定される。

【0040】

さらに、選択信号356 (LCS1)、347 (LCS (15:11))がHighのときはAND回路350、OR回路352、データバス353を介して、PDL内のデータバス307が選択され、アドレスカウンタ348に入力され、転送元アドレスが設定される。

【0041】

プリンタエンジン部 2 からのコマンドデータは RAM 2 0 4 から PCI アドレスバス 3 7 2、マスタコントローラ 3 1 4、データバス 3 1 1、バッファ用 FIFO 3 0 8、データバス 3 0 6、双方向バッファ 3 0 5 を介して PDL データバス 3 0 3 へ出力され、RAM 1 0 6 に格納される。その際、転送先アドレス及び、転送元アドレスはエンジン CPU 2 0 2 及び、PDL 内の CPU 1 0 8 により設定できるが、エンジン CPU 2 0 2 より設定する場合は以下の通りである。

【 0 0 4 2 】

RAM 2 0 4 からの転送元アドレスは、エンジン CPU 2 0 2 により PCI アドレスデータバス 3 7 2、ターゲットコントローラ 3 7 1、データバス 3 6 5、AND 回路 3 3 7、OR 回路 3 3 8、データバス 3 3 9 を介して DMA コントローラ内のアドレスカウンタ 3 2 3 に設定され、更にアドレスバス 3 3 0 を介してマスタコントローラ 3 1 4 に入力され、PCI アドレスバス 3 7 2 から出力される。

【 0 0 4 3 】

また、転送先アドレスは、エンジン CPU 2 0 2 により、PCI アドレスバス 3 7 2、ターゲットコントローラ 3 7 1、データバス 3 6 5、AND 回路 3 5 1、OR 回路 3 5 2、データバス 3 5 3 を介してアドレスカウンタ 3 4 8 に設定され、データバス 3 6 5、双方向バッファ 3 4 1 を介してアドレスバス 3 4 0 へ出力される。

【 0 0 4 4 】

ここで、コマンド/バイトイネーブル信号 3 7 4、デコーダ 3 6 9 を介して PCI ライト信号 3 7 0 が生成され、アドレスカウンタ 3 2 3 及び 3 4 8 へ入力される。また、PCI アドレスバス 3 7 2、ターゲットコントローラ 3 7 1、アドレスバス 3 6 6、アドレスデコーダ 3 6 0 により、レジスタ選択信号 3 6 1 (PCS (2 : 1))、3 6 3 (PCS (2 5 : 2 1))、3 6 2 (PCS (1 5 : 1 1)) が生成されるが、選択信号 3 5 9 (PCS 2)、3 6 3 (PCS (2 5 : 2 1)) が High のときは AND 回路 3 3 7、OR 回路 3 3 8、データバス 3 3 9 を介して、データバス 3 6 5 が選択され、アドレスカウンタ 3 2 3 に入力され、転送元アドレスが設定される。

【0045】

さらに、選択信号358 (PCS1)、362 (PCS (15:11)) がHighのときはAND回路351、OR回路352、データバス353を介して、データバス365が選択され、アドレスカウンタ348に入力され、転送先アドレスが設定される。

【0046】

同様にして、PDLコントローラ部1内のCPU108により転送先アドレス及び、転送元アドレスを設定する場合は、CPU108からライト信号349がアドレスカウンタ323及び348へ入力される。また、アドレスバス340、双方向バッファ341、アドレスデコーダ344により、レジスタ選択信号345 (LCS (2:1))、346 (LCS (25:21))、347 (LCS (15:11)) が生成されるが、選択信号357 (LCS2)、346 (LCS (25:21)) がHighのときはAND回路336、OR回路338、データバス339を介して、PDL内のデータバス307が選択され、アドレスカウンタ323に入力され、転送元アドレスが設定される。さらに、選択信号356 (LCS1)、347 (LCS (15:11)) がTrueのときはAND回路350、OR回路352、データバス353を介して、PDL内のデータバス307が選択され、アドレスカウンタ348に入力され、転送先アドレスが設定される。

【0047】

ここで、DMAコントローラ322は、エンジンCPU202またはPDLコントローラ部1のCPU108により、それぞれ、データバス365、307を介して、308、315のうち、どちらのFIFOを使用してDMA転送が起動し、A、B入力のうちどちらの信号を選択するかを選択信号328により設定すると同時に、FIFO308または315から入力されるR・WREQ1信号 (310) またはR・WREQ2信号 (326) がTrueになると、DMA RREQ信号334をTrueにして出力する。

【0048】

PDLバスアービタ回路333は、DMA RREQ信号334がTrueにな

るとCPU108から入力されるコントロール信号331の状態により、バスマスタになることをコントロール信号332を介してCPU108へ通知し、DOC信号301、ADROC信号343をTrueにして、双方向バッファ305、341を制御すると同時に、ワード単位でデータを転送するたびにDMA ACK信号335をTrueにして、DMAコントローラ322へ出力する。

【0049】

DMAコントローラ322は、TrueになったDMA ACK信号335を受け取ると、R・WACK1信号(309)またはR・WACK2信号(325)をHighにしてFIFO308または315へ出力すると同時に、アドレスカウンタ323、348へも出力して、アドレスカウンタ323、及び348をカウントアップさせる。

【0050】

図2において、R・WREQ1信号310、R・WREQ2信号326、R・WACK1信号309、R・WACK2信号325は、それぞれリード、及びライトの2本の信号であり、エンジン本体内のRAM204からPDL内RAM106へ転送する場合は各リード信号がTrueになり、PDL内RAM106からエンジン本体内のRAM204へ転送する場合は各ライト信号がTrueになる。

【0051】

ここで、エンジンCPU202はADバス(アドレスバス)372、ターゲットコントローラ371、アドレスバス366を介して、コンフィグレーションレジスタ364の値をデータバス368、ターゲットコントローラ371、ADバス372を介して読み出し、どのPDLボードが接続されているかを判断することができる。

【0052】

PDL内のRAM106からエンジン本体内のRAM204へビットマップデータを転送する場合も、ステータスデータ同様、PDLデータバス303、双方向バッファ305、データバス307、FIFO315、データバス316、選択信号328によりB入力を選択されたセクタ313、データバス317、マ

スターコントローラ 3 1 4 を経由して P C I アドレスデータバス 3 7 2 に出力され、R A M 2 0 4 に転送される。

【 0 0 5 3 】

ここで、ビットマップデータを転送する場合は図 3、図 4 に示す通り、描画データのある矩形領域の転送元先頭アドレス (S A 1)、転送元矩形領域の幅 (W)、転送元矩形領域のライン数 (L)、転送元有効印刷幅 (Y W 1)、並びに転送先先頭アドレス (S A 2)、転送先矩形領域の幅 (W)、転送先矩形領域のライン数 (L)、転送先有効印刷幅 (Y W 2) を設定する。これらの値はアドレスカウンタ 3 2 3、3 4 8 に設定されるが、以下その詳細な設定方法につき、図 5 および図 6 を用いて説明する。

【 0 0 5 4 】

なお、ここで、バッファメモリである F I F O 3 1 5 のサイズは、上記矩形領域のサイズである幅 W (ワード)、及びライン数 L (ライン) と同じものである。

【 0 0 5 5 】

図 5、図 6 はそれぞれ、アドレスカウンタ 3 4 8、3 2 3 の状態遷移を示した図であり、不図示のクロック信号に同期したアドレスカウンタ 3 4 8、3 2 3 の動作を規定したステートマシンである。アドレスカウンタ 3 4 8 は、図 5 に示すように初期状態は I N I T のステートにいるが、条件 1 が成立すると、そのとき入力されるデータバス 3 5 3 の値 D T を転送元バンド先頭アドレスレジスタ (以下、S A 1) に設定し、S E T のステートへ移る。S E T のステートに移ると、条件 2 が成立するとデータバス 3 5 3 の値 D T を転送元有効印刷幅レジスタ (以下、Y W 1) に設定し、S E T のステートへ戻る。同様にして、条件 3 が成立するとデータバス 3 5 3 の値 D T を転送元矩形領域の幅レジスタ (以下、W) に設定し、条件 4 が成立するとデータバス 3 5 3 の値 D T を転送元矩形領域のライン数レジスタ (以下、L) に設定し、条件 5 が成立するとデータバス 3 5 3 の値 D T を ' 1 ' にして、スタートレジスタ (以下、S T) に ' 1 ' を設定し、S E T のステートへ戻る。S T = ' 1 ' になると、カウンタ A (アドレス出力)、カウンタ S L (ライン先頭アドレス)、カウンタ S A (矩形領域先頭アドレス) に S

A1（バンド先頭アドレス）の値を設定し、LOADステートに進む。

【0056】

DMAコントローラ322より出力されるR・WACK2信号325が‘1’になるとOR回路355を介して入力されるR・WACK信号354が‘1’となり、カウンタAはプラス1され、COUNT UPステートに移る。同様にして、R・WACK=‘1’が成立するとカウンタAは1ずつカウントアップし、COUNT UPステートに戻る。このとき、カウンタAの値はアドレスカウンタ348のアドレス信号365として、出力される。

【0057】

上記の動作は、図7においては、PDLメモリ内におけるバンド1の中において、文字‘A’が書かれた矩形領域の1番上の行11～14のアドレスを、カウンタAがカウントアップしてPDLメモリ内のデータを読み出し、読み出したデータをFIFO315の1番目の行11～14に書き込む動作に相当する。ここで、FIFO315のアドレスは、DMAコントローラ322から出力されるWEN324がTrueのときに、ライトアドレスカウンタ318よりアドレス信号319として出力され、FIFO315へ入力される。

【0058】

図5において、カウンタAの値が（SL+W）と等しくなり $A = SL + W$ が成立すると、カウンタSL（ライン先頭アドレス）、およびカウンタA（アドレス出力）にYW1をプラスしてCOUNT UPステートに戻り、引き続き、カウンタAをカウントアップさせる。これにより、図7における矩形領域の2行目に移り、PDL内のメモリ21～24のデータをFIFO315の21～24のアドレスに書き込む。

【0059】

FIFO315のアドレスはWEN324がTrueのときに、ライトアドレスカウンタ318よりアドレス信号319として出力される。同様にして、これを図7における矩形領域のN行目まで繰り返し、PDL内のメモリN1～N4のデータをFIFO315のN1～N4のアドレスに書き込む。FIFO315のアドレスはWEN324がTrueのときに、ライトアドレスカウンタ318よ

りアドレス信号319として出力される。

【0060】

図5のCOUNT UPステートにおいて、カウンタAの値が $(SA + (L - 1) * YW1 + W)$ と等しくなり、 $A = SA + (L - 1) * YW1 + W$ が成立すると、カウンタA（アドレス出力）、カウンタSL（ライン先頭アドレス）、カウンタSA（矩形領域先頭アドレス）に、それ以前の $(SA + W)$ を設定し、COUNT UPステートに戻る。これにより図7に示すように、PDL内のメモリにおける‘B’と書かれた矩形領域に移り、上記と同様の動作が繰り返される。

【0061】

さらに、図5において、カウンタAの値が $(SA1 + L * YW1)$ と等しくなり、 $A = SA1 + L * YW1$ が成立すると、INITのステートに戻り、再度、SA1、YW1、W、L、ST等が設定され、上記と同様の動作が繰り返される。このタイミングは図7においては、PDLメモリ内のバンド1のデータをすべて読み出し終わり、バンド2の設定に移るタイミングに相当する。

【0062】

なお、図5のCOUNT UPステートにおいて、複数の条件が同時に成立した場合は、丸数字（1）～（4）で示す優先順位に従い、優先順位の高い状態へ遷移する。丸数字（1）は一番優先順位が高く、（4）へ向かうほど優先順位が低くなる。

【0063】

一方、アドレスカウンタ323の初期状態は図6に示すようにINITのステートであるが、条件1が成立すると、そのとき入力されるデータバス339の値DTを転送先バンド先頭アドレスレジスタ（以下、SA2）に設定し、SETのステートへ移る。SETのステートに移り、条件2が成立するとデータバス339の値DTを転送先有効印刷幅レジスタ（以下、YW2）に設定し、SETのステートへ戻る。

【0064】

前述と同様に、条件3が成立するとデータバス339の値DTを転送先矩形領

域の幅レジスタ（以下、W）に設定し、条件4が成立するとデータバス339の値DTを転送先矩形領域のライン数レジスタ（以下、L）に設定し、条件5が成立するとデータバス339の値DTを転送先全副走査ライン数レジスタ（以下、TL）に設定し、かつ、スタートレジスタ（以下、ST）に‘1’を設定し、SETのステートへ戻る。

【0065】

そして、ST=‘1’になると、カウンタA（アドレス出力）、カウンタSL（ライン先頭アドレス）、カウンタSA（矩形領域先頭アドレス）にSA2（バンド先頭アドレス）の値を設定し、LOADステートに進む。

【0066】

DMAコントローラ322より出力されるR・WACK信号が‘1’になると、カウンタAはプラス1され、COUNT UPステートに移る。引き続き、R・WACK=‘1’が成立するとカウンタAは1ずつカウントアップしながら、COUNT UPステートに戻る。このとき、カウンタAの値はアドレスカウンタ323のアドレス信号330として、出力される。このタイミングは図8においては、FIFO315に記憶された11～14のデータを読み出しながら、エンジン本体メモリ内のバンド1において、文字‘A’と書かれた矩形領域の1番上の行11～14のアドレスに、カウンタAがカウントアップして書き込むタイミングに相当する。ここで、FIFO315のアドレスは、DMAコントローラ322から出力されるREN327がTrueのときに、リードアドレスカウンタ320よりアドレス信号321として出力され、FIFO315へ入力される。

【0067】

図6において、カウンタAの値が（SL+W）と等しくなり $A = SL + W$ が成立すると、カウンタSL（ライン先頭アドレス）、及びカウンタA（アドレス出力）にYW2をプラスしてCOUNT UPステートに戻り、引き続き、カウンタAをカウントアップさせる。これにより、図8における矩形領域の2行目に移り、FIFO315の21～24のデータをプリンタエンジン部2のRAM204内の21～24のアドレスに書き込む。

【0068】

FIFO315のアドレスはREN327がTrueのときに、リードアドレスカウンタ320よりアドレス信号321として出力される。同様に、これを図8における矩形領域のN行目まで繰り返し、FIFO315N1～N4のデータをエンジン本体メモリ内のN1～N4のアドレスに書き込む。FIFO315のアドレスはREN327がTrueのときに、リードアドレスカウンタ320よりアドレス信号321として出力される。

【0069】

図6のCOUNT UPステートにおいて、カウンタAの値が $(SA + (L - 1) * YW2 + W)$ と等しくなり、 $A = SA + (L - 1) * YW2 + W$ が成立すると、カウンタA（アドレス出力）、カウンタSL（ライン先頭アドレス）、カウンタSA（矩形領域先頭アドレス）に、それ以前の $(SA + L * YW2)$ を設定し、COUNT UPステートに戻る。これにより、図8に示すように、エンジン本体メモリにおける‘B’と書かれた矩形領域に移って、同様の動作を繰り返し、FIFO315内のデータを書き込む。

【0070】

さらに、図6において、カウンタAの値が $(SA2 + (TL - 1) * YW2 + W)$ と等しくなり、 $A = SA2 + (TL - 1) * YW2 + W$ が成立すると、INITのステートに戻り、再度、SA2、YW2、W、TL、L、ST等が設定され、同様の動作が繰り返される。これを図8で示すと、FIFO315内のデータをエンジン本体メモリ内のバンド1へ、すべて書き込み終わり、バンド2の設定に移るところである。

【0071】

なお、図6のCOUNT UPステートにおいて、複数の条件が同時に成立した場合は、丸数字（1）～（4）で示す優先順位に従い、優先順位の高い状態へ遷移する。丸数字（1）は一番優先順位が高く、（4）へ向かうほど優先順位が低くなる。

【0072】

そして、図8に示すように、プリンタエンジン部2のRAM204におけるア

ドレスの振り方は、PDLメモリ内のそれを90度回転したものであり、FIFO315から読み出す場合のアドレスの振り方も、FIFO315に書き込む際のアドレスの振り方を90度回転したものとなる。

【0073】

したがって、プリンタエンジン部2側では、それ以上の回転処理を行なうことなく、RAM204から単にデータを読み出し、プリンタI/F205を介してプリンタ206に入力するだけでA4用紙のイメージをA4横用紙に出力することができる。もちろん、PDLコントローラ部1側の画像データ発生部105も、処理コストの大きい画像展開時のイメージ回転処理を行なう必要がない。

【0074】

以上説明したように、本実施形態によれば、描画データのある矩形領域の転送元先頭アドレス(SA1)、転送元矩形領域の幅(W)、転送元矩形領域のライン数(L)、転送元有効印刷幅(YW1)、並びに転送先先頭アドレス(SA2)、転送先矩形領域の幅(W)、転送先矩形領域のライン数(L)、転送先全副走査ライン数(TL)、転送先有効印刷幅(YW2)等は、エンジン本体側から、及びPDL内から設定することが可能であり、それぞれPCS(15:11)362、PCS(25:21)363、及び、LCS(15:11)347、LCS(25:21)346により選択される。

【0075】

すなわち、PDLメモリRAM106内にある描画データを、エンジン本体内のメモリRAM204へデータ転送する場合、矩形のバッファメモリであるFIFO315を経由し、FIFOへの書き込み、読み出し方向を90度回転させ、エンジン本体メモリへも90度回転させて書き込むことにより、DMA転送中に紙面データの回転を行なうようにしているので、PDLコントローラ部1の画像データ発生部105がRAM106にビットマップデータを展開する際にイメージの回転を伴う展開処理を行なう必要がないため、回転機能による展開能力の低下を防止することができ、スループットを低下させることなく、高速な印刷を行なえる。

【0076】

〔第 2 実施形態〕

図 9 に本発明の第 2 の実施形態を示す。図 9 の構成は、矩形領域のバッファメモリを 2 個設け、図 2 の F I F O 3 1 5 の 2 個分を 1 個の F I F O 5 0 1 (F I F O 5 0 1 - 1 、 F I F O 5 0 1 - 2) にまとめたものである。図 9 では図 2 と同一ないし相当するブロックには、同一符号を付し、その詳細な説明は省略するものとする。

【 0 0 7 7 】

図 2 の場合、F I F O 3 1 5 への書き込みが終了するまで、F I F O 3 1 5 内のデータをプリンタエンジン部 2 の R A M 2 0 4 へ転送することができないが、図 9 の構成は F I F O 5 0 1 からエンジン本体メモリ内へデータを転送しながら、P D L メモリ内のデータを F I F O 5 0 1 へ書き込めるようにしたものである。

【 0 0 7 8 】

図 9 において、P D L コントローラ部 1 の R A M 1 0 6 からエンジン内の R A M 2 0 4 へ描画データを転送する場合、アドレスカウンタ 3 4 8 、 3 2 3 への設定方法は同じであるが、P D L メモリ内のデータはまず、F I F O 5 0 1 内の 1 つ目の F I F O 5 0 1 - 1 に図 2 と同様の方法で書き込まれる。次いで、F I F O 5 0 1 - 1 のデータをエンジン本体メモリ内に書き込む際に、P D L メモリ内のデータを F I F O 5 0 1 内の 2 つ目の F I F O 5 0 1 - 2 に書き込む。さらに、F I F O 5 0 2 - 2 のデータをエンジン本体メモリ内に書き込みながら、P D L メモリ内のデータを F I F O 5 0 1 - 1 へ書き込むようにしたものである。

【 0 0 7 9 】

図 9 の構成における動作を図 1 0 、図 1 1 に示す。すなわち、図 1 0 における P D L メモリ内矩形領域 ‘A’ の文字を F I F O 5 0 1 - 1 に書き込み、矩形領域 ‘B’ の文字を F I F O 5 0 1 - 2 に書き込んでいる時に、図 1 1 に示すように F I F O 5 0 1 - 1 内のデータをエンジン本体メモリ内 ‘A’ と書かれた矩形領域へ、書き込む。同様に、P D L メモリ内の次の矩形領域のデータを F I F O 5 0 1 - 1 に書き込んでいる時に、図 1 1 に示すように F I F O 5 0 1 - 2 内のデータをエンジン本体メモリ内 ‘B’ と書かれた矩形領域へ書き込み、この動作

を繰り返す。

【0080】

図9におけるFIFO501-1、FIFO501-2のライトアドレスは、ライトアドレスカウンタ502から出力されるアドレス信号319、503として入力される。ライトアドレス信号319は、DMAコントローラ322から出力されるWEN2がTrueのときにカウントアップし、ライトアドレス信号503は、DMAコントローラ322から出力されるWEN3がTrueのときにカウントアップする。

【0081】

FIFO501-1、FIFO501-2のリードアドレスは、リードアドレスカウンタ504から出力されるアドレス信号321、505として入力されるが、リードアドレス信号321は、DMAコントローラ322から出力されるREN2がTrueのときにカウントアップし、リードアドレス信号505は、DMAコントローラ322から出力されるREN3がTrueのときにカウントアップする。

【0082】

なお、図12、図13に示すようにPDL内のビットマップデータとエンジン内のデータの並びが逆の場合は、図2、図9に示したのと同様にFIFO315、FIFO501に入力するデータバス307LD(31:0)とFIFOから出力されるデータバス316LD(0:31)との並びを逆にして接続すればよい。

【0083】

当然のことながら、PDL内のビットマップデータとエンジン内のデータとの並びが同一である場合は、FIFO315、501に入力するデータバスと、FIFOから出力されるデータバスとの並びを同じに接続すればよく、上記実施形態と同様の効果を奏する。

【0084】

以上のように、FIFO501を複数のバッファメモリとして構成することにより、FIFO501からプリンタエンジン部2のRAM204エンジン本体メ

メモリ内へデータを転送しながら、PDLメモリ内のデータをFIFO501へ書き込むことができ、さらに画像データの転送効率を向上させ、より高速な印刷を行なうことができる。

【0085】

〔第3実施形態〕

第2実施形態では、FIFOを2個設け書き込みと読み出しを同時に行なう構成を示したが、FIFOのアクセスを工夫することによってもほぼ同様の効果を得ることができる。

【0086】

ここでは、第1実施形態の図1～図8の構成に基づき説明する。図16は、本実施形態におけるFIFO315へのライト・リードアクセスを行なう方法を示している。

【0087】

本実施形態では、図16(1)に示すようにFIFO315の1行目からN行目までデータを書き込んだ後、図16(2)に示すように、FIFO315の90度回転した方向から1行読み出した後、2行目をリードしながら1行目に次のデータを書き込む。以下、同様に、L行目を読み出しながら(L-1)行目に次のデータを書き込み、N行目まで同様の動作を繰り返す。

【0088】

さらに、図16(3)に示すようにFIFO315のさらに90度回転した方向から先行して1行読み出した後、1行先を読み出しながら次のデータを前の行に書き込み、N行目まで同様の動作を繰り返し、図16(4)、(5)へと進む。

【0089】

以上のように、読み出しを終った領域に対して書き込みを行なうことにより、FIFO315に対する書き込みと読み出しを多重化することができる。

【0090】

以下では、上記のような転送方式により画像データがどのように転送されるかをより具体的に示す。

【0091】

図17は、PDLコントローラ内のRAM106から読み出したデータをFIFO315に書き込む方法、並びにFIFO315から読み出した画像データをプリンタエンジン内のRAM204へ格納する方法を示している。図17(1)においてPDLコントローラ内のRAM106のデータをFIFO315へ、1行目からN行目の順番で書き込むと、PDLコントローラ内のRAM106に展開された『A』の文字がFIFO315に書き込まれる。

【0092】

次に、図17(2)でFIFO315の90度回転した方向から1行読み出しプリンタエンジン内のRAM204へ1行書き込んだ後、FIFO315から2行目を読み出しプリンタエンジン内のRAM204へ格納しながら、PDLコントローラ内のRAM106から次のデータをFIFO315の1行目に書き込む。

【0093】

以下、同様に次の行をFIFO315からプリンタエンジンのRAM204へ読み出しながら、FIFO315の前の行にPDLコントローラ内のRAM106のデータを書き込む。これらを繰り返すことにより、FIFO315内のデータ『A』をプリンタエンジン内のRAM204へ書き込みながら、PDLコントローラ内のRAM106のデータ『B』をFIFO315へ書き込む。

【0094】

次に図17(3)では、FIFO315のさらに90度回転した方向からプリンタエンジン内のRAM204へデータ『B』を読み出しながら、PDLコントローラ内のRAM106からFIFO315へデータ『C』を書き込む。以下同様に、図17(4)では、FIFO315のさらに90度回転した方向からプリンタエンジン内のRAM204へデータ『C』を読み出しながら、PDLコントローラ内のRAM106からFIFO315へデータ『D』を書き込む。

【0095】

以上のようにして、FIFO315が1つのバッファメモリであっても、FIFO315に対する書き込みと読み出しを多重化することにより、画像データ転

送および画像データ回転を効率よく実施することができ、かつ複数のバッファメモリを使用した構成と同等の転送速度まで向上させることができ、省メモリ化、コストダウン化を図ることができる。

【 0 0 9 6 】

〔第 4 実施形態〕

前述のように、画像データの 90° の回転は時に必要でなくなる場合がある。たとえば、A4 横用紙に印刷する場合、90° 回転した画像データを用いなければならないが、A4 横用紙がカセット内に無くなってしまい、緊急避難的に A4 縦用紙を用いて印刷するような場合である。

【 0 0 9 7 】

本実施形態では、用紙カセットの A4 横用紙および、A4 用紙の有無に応じて画像データの 90° の回転を伴うデータ転送および画像データの 90° の回転を伴わないデータ転送を切り換える。本実施形態においても、ハードウェア構成は第 1 実施形態の図 1～図 8 の構成と同様であるものとする。また、用紙カセットの用紙の有無は公知の光学センサなどにより検出すればよいので、ここでは詳細な説明は省略するものとする。

【 0 0 9 8 】

本実施形態では、用紙カセットに A4 横用紙が有り、A4 用紙に印字する場合は、前述したように画像データの 90° の回転を伴うデータ転送（図 3、図 4）を行なうが、用紙カセットに A4 横用紙が無く、A4 縦用紙がある場合は図 18、図 19 に示すように画像データの 90° の回転を伴わないデータ転送を行なう。

【 0 0 9 9 】

このとき、プリンタエンジン部の CPU 202 は、PCI アドレスデータバス 372、ターゲットコントローラ 371、データバス 365、AND 回路 337、OR 回路 338、データバス 339 を介して、DMA コントローラ 322 へデータ転送時に回転しないことを通知し、これにより FIFO 315 への書き込みと読み出しの方法を同一になるよう制御する。

【 0 1 0 0 】

すなわち、PDLコントローラ内のメモリ106からFIFO315への書き込みは、図18に示すように行ない、FIFO315からプリンタエンジン内のメモリ204への書き込みは、図19に示すように行なう。

【0101】

この場合、転送先先頭アドレス（SA2）、転送先矩形領域の幅（W）、転送先矩形領域のライン数（L）、転送先有効印刷幅（YW2）等は、描画データのある矩形領域の転送元先頭アドレス（SA1）、転送元矩形領域の幅（W）、転送元矩形領域のライン数（L）、転送元有効印刷幅（YW1）、と同じように設定され、アドレスカウンタ323はアドレスカウンタ348と同じようにカウントアップされる。

【0102】

また、プリンタエンジン部のA4用紙の有無に関する情報はPDLコントローラ1へ通知する構成も可能である。この場合は、PDLコントローラのCPU108からDMAコントローラ322をデータ転送時に回転しないよう設定することが可能であるため、同様に、無駄な回転処理を省くことができる。

【0103】

また、以上では矩形領域ごとに転送を制御したが、必ずしもこのような転送を行なう必要はない。

【0104】

たとえば、図20、図21に示すように、A4横用紙がなくデータ転送時に回転が不要な場合は、矩形領域ごとにFIFO315に書き込むのではなく、PDLコントローラ内のメモリ106からFIFO315へ主走査方向のライン毎に書き込み、FIFO315からプリンタエンジン内のメモリ204へも主走査方向のライン毎に書き込むようにしてもよい。

【0105】

この場合、プリンタエンジン部のCPU202は、アドレスカウンタ323及び348にバンド毎に、先頭アドレスのみ設定し、両アドレスカウンタはリニアにカウントアップすればよい。もちろん、この構成においても、プリンタエンジン部のA4用紙の有無に関する情報をPDLコントローラ1へ通知すれば、PD

LコントローラのCPU108は、アドレスカウンタ323及び348にバンド毎に、先頭アドレスを設定することは可能であるため、無駄な回転処理を省くことができる。

【0106】

なお、前述実施形態と同様、図12、図13に示すようにPDL内のビットマップデータとエンジン内のデータの並びが逆の場合は、FIFO315に入力するデータバス307LD(31:0)とFIFOから出力されるデータバス316LD(0:31)との並びを逆にして接続すればよい。

【0107】

また、当然のことながら、PDL内のビットマップデータとエンジン内のデータとの並びが同一である場合は、FIFO315に入力するデータバスと、FIFOから出力されるデータバスとの並びを同じに接続すればよく、上記実施形態と同様の効果を期待できる。

【0108】

また、上記実施形態では、PDLコントローラ内のRAMからプリンタエンジン本体内のRAMへデータ転送時に回転が不要な場合も、 $N \times M$ bitのFIFO315を使用したか、回転しない場合は、 $N \times 2$ bit程度の小さなメモリでもよく、上記実施形態と同様の効果を期待できる。

【0109】

以上のように、FIFO315が1つのバッファメモリであっても、FIFO315からの読み出しを先行させ、かつ、FIFO315からプリンタエンジン部2のRAM204へデータを読み出しながら、PDLコントローラ内RAM106のデータをFIFO315へ書き込むことにより、PDLコントローラからプリンタエンジンへのデータ転送時に展開データを回転することができるため、展開時の回転によるパフォーマンスの低下を防ぐことができる。また、エンジン本体の用紙の有無に関する情報により、PDLコントローラからプリンタエンジンへのデータ転送時に、展開データを回転するかしないかを制御できるため、たとえば横用紙がなくなった場合などにおいてエンジン本体内における無駄な回転を削除することができる。

【 0 1 1 0 】

すなわち、本実施形態によれば、印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえるようにするとともに、エンジン本体の紙有り無し情報を入手して、無駄な回転を行なわないように制御することにより、複数のバッファメモリを使用した構成（たとえば第2実施形態）と同等の転送効率まで向上させることができ、省メモリ化、コストダウンを図ることができる。

【 0 1 1 1 】

また、通常は、画像データ発生部 1 0 4 に印刷する用紙の形態である A 4 横の形態でビットマップデータを発生させ、P C I I / F 1 0 9 で回転することなく、プリントエンジン 2 に出力し、A 4 横の用紙がなくなり、A 4 縦で印刷する場合、画像データ発生部 1 0 4 に印刷する用紙の形態である A 4 横の形態でビットマップデータを発生させ、P C I I / F 1 0 9 で回転して、プリントエンジン 2 に出力することもできる。

【 0 1 1 2 】

〔第5実施形態〕

本実施形態では、外部機器から入力された印刷データのうち、コマンド／ステータスデータや文字コードによる印字データは共通バスを用いて P D L コントローラ内のメモリから P C I コントローラ経由でプリンタエンジンのメモリへ転送するが、画像データ、すなわち P D L コントローラで展開したビットマップデータは共通バスを用いるのではなく、専用のバスを用いて転送する。

【 0 1 1 3 】

図 2 2 は本実施形態の印刷システムの構成を示している。図 2 2 は、第 1 実施形態の図 1 と同様の形態の図で、P C I バス 3 を利用して P D L コントローラ部 1 とプリンタエンジン部 2 を接続する構成を示している。図 2 2 において、図 1 と共通の部分には同一符号を付し、その詳細な説明は省略するものとする。

【 0 1 1 4 】

図 2 2 において、図 1 と異なっているのは、画像データ発生部 1 0 5、R A M 1 0 6、P C I I / F 1 0 9 廻りの構造である。

【0115】

すなわち、図22において、画像データ発生部105は、前述の第1実施形態同様に、ホストI/F103から受信したPDL形式などの印刷データを展開し、RAM106内にビットマップデータを書き込む。画像データ発生部105は画像データ発生手段以外に、RAMコントローラも含んでおり、プリンタエンジン部2のRAM204のコマンド/ステータスデータもRAM106に蓄えることができる。

【0116】

本実施形態では、プリンタエンジン2からのコマンド/ステータスデータは、図1と同様、RAM204からRAM106へ、PCIコントローラ201、109、画像データ発生部105を経由して転送される。

【0117】

また、本実施形態では、PDLコントローラ部1で展開されたビットマップデータは、RAM106から画像データ発生部105、専用バス1501、PCIコントローラ109、201を介して、プリンタエンジン内のRAM204へ転送される。

【0118】

図23は第1実施形態の図2に相当するものであり、図22のPCIコントローラ109の内部構造を詳細に示している。図23において、図2と共通の部分には同一符号を付し、その詳細な説明は省略するものとする。

【0119】

図23において図2と異なるのは、専用バス1501を介して、PDLコントローラ部1で展開されたビットマップデータを転送するようになっている点である。

【0120】

すなわち、図23において、PDLコントローラ2のRAM106からエンジン本体内のRAM204へビットマップデータを転送する場合は、専用バス1501(VD(3:0))、シリアル・パラレル変換回路1502を介して32ビットのデータに変換し、データバス1503経由でFIFO315に入力する。

F I F O 3 1 5 の後の経路は図 1 と同様であり、データバス 3 1 6、選択信号 3 2 8 により B 入力を選択されたセレクタ 3 1 3、データバス 3 1 7、マスターコントローラ 3 1 4 を経由して P C I アドレスデータバス 3 7 2 に出力され、R A M 2 0 4 に転送される。

【 0 1 2 1 】

本実施形態では、P D L コントローラ 2 の R A M 1 0 6 から F I F O 3 1 5 へ専用バス 1 5 0 1 を用いてビットマップデータを転送する点が第 1 ～第 4 実施形態と異なるだけで、第 1 ～第 3 実施形態のようなビットマップデータの 9 0 ° 回転を伴う転送、あるいは第 4 実施形態のように 9 0 ° 回転を伴わない転送は、前述同様に図 3 ～図 8、（あるいは図 1 6 および図 1 7、あるいは図 1 8 ～図 2 1）のようにして実現できる。

【 0 1 2 2 】

そして、本実施形態によれば、P D L コントローラ 1 では、外部機器からの印字データ、及びプリンタエンジン部 2 とのコマンド／ステータスデータの入出力は、R A M 1 0 6、バス 1 1 0、P C I コントローラ 1 0 9 を介してデータ転送するが、展開されたビットマップデータは R A M 1 0 6 から画像データ発生部 1 0 5、専用バス 1 5 0 1、P C I コントローラ 1 0 9 を介してデータ転送するようにしているため、たとえビットマップデータが大量であってもビットマップデータの転送時にバス 1 1 0 が占有されることがなく、他のデバイスが動作でき、また、コマンド／ステータスデータの入出力に悪影響を与えることがなく、印刷処理のパフォーマンスの劣化を抑えることができる。特に本実施形態の構成によれば、ビットマップデータ転送中であっても、C P U 1 0 8 が R O M 1 0 7 や R A M 1 0 6 にアクセスすることが可能となるため、パフォーマンスのボトルネックになっている部分を回避でき、高速な印刷処理を行なうことができる。

【 0 1 2 3 】

なお、図 2 3 では、F I F O 3 1 5 は画像データを専用バス 1 5 0 1 のみを介して入力する構成を示したが、図 2 4 に示すように双方向バッファ 3 0 5 側から入力されるデータも入力できるようにした構成も考えられる。

【 0 1 2 4 】

すなわち、図 2 4 において、ビットマップデータの入力経路は、専用バス 1 5 0 1 ~ 3 2 ビットデータへの変換を行なうシリアルパラレル変換回路 1 5 0 2 ~ データバス 1 5 0 3 の経路、または、第 1 実施形態同様にデータバス 3 0 3 ~ 双方向バッファ 3 0 5 ~ データバス 3 0 7 の経路のいずれかを選択できるようになっている。上記いずれかの経路（データバス 1 5 0 3 またはデータバス 3 0 7）は、F I F O 3 1 5 の直前でセクタ 1 5 0 4 により選択する。

【 0 1 2 5 】

セクタ 1 5 0 4 を制御する選択信号 1 5 0 6 は C P U 2 0 2 （あるいは P D L コントローラ側の C P U 1 0 8 でもよい）により設定されるが、その際、まず A D バス（アドレスバス） 3 7 2、ターゲットコントローラ 3 7 1、アドレスバス 3 6 6、アドレスデコーダ 3 6 0 より P C I データ選択信号 1 5 0 8 が作成され、レジスタ 1 5 0 7 に入力される。また、A D バス 3 7 2、ターゲットコントローラ 3 7 1、データバス 3 6 5 の一部のデータ 1 5 0 9（P C I 側データ）、及びコマンド／バイトイネーブル信号 3 7 4、およびデコーダ 3 6 9 を介して生成された P C I ライト信号 3 7 0 がレジスタ 1 5 0 7 に入力され、選択信号 1 5 0 6 が作成され、データバス 1 5 0 3 または 3 0 7 のどちらかを選択する。

【 0 1 2 6 】

また、図 2 2 では R A M 1 0 6 に画像データが格納されるものとしたが、図 2 5 に示すように専用の描画メモリ 1 5 1 0 を設ける構成も考えられる。

【 0 1 2 7 】

図 2 5 では、描画用の専用メモリ 1 5 1 0 を画像データ発生部 1 0 5 に接続しており、画像データ発生部 1 0 5 により生成された展開データは描画メモリ 1 5 1 0 に格納される。このビットマップデータをプリンタエンジンの R A M 2 0 4 へ転送する場合は、描画メモリ 1 5 1 0、画像データ発生部 1 0 5、バス 5 0 1、P C I コントローラ 1 0 9、2 0 1 を介して R A M 2 0 4 へ転送する。また、R A M 1 0 6 には、外部機器 1 0 4 から転送される印字データなどを格納し、プログラムを動作させるワーク領域などとして使用する。

【 0 1 2 8 】

このように、描画メモリ 1 5 1 0 を独立させることによって、画像データとそ

れ以外のコマンド／ステータスデータなどとのバスの分離が促進され、より大きいスループットの向上効果を期待することができる。

【 0 1 2 9 】

なお、本実施形態においても、PDL内のビットマップデータとエンジン内のデータの並びが逆の場合は、図12および図13で示したのと同様にFIFO315に入力するデータバス505のLD(31:0)とFIFOから出力されるデータバス316のLD(0:31)との並びを逆にして接続すればよい。

【 0 1 3 0 】

また、本実施形態では、専用バス1501は4ビット幅のデータバスであるが、1, 2, 8, 16, 32ビットなど他のビット幅でもよく、上記実施形態と同様の効果を奏する。なお、専用バス1501が32ビット幅の場合は、シリアル・パラレル変換回路1502が不要であることは、言うまでもない。

【 0 1 3 1 】

【発明の効果】

以上説明したように本発明によれば、印刷データから印刷機構で印刷させる描画データを生成する印刷装置、印刷装置の制御方法、印刷制御装置、および印刷制御装置の制御方法において、印刷データを展開して得た描画データを印刷機構側に転送する転送過程を利用して画像データの回転処理を行なう構成を採用しているので、印刷制御装置(PDLコントローラ)の画像展開時の回転による展開能力の低下を防止し、印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえる、という優れた効果がある。

【図面の簡単な説明】

【図1】

本発明を採用したプリンタの制御系の構成を示したブロック図である。

【図2】

図1のPCIコントローラの構成を詳細に示したブロック図である。

【図3】

PDLコントローラ部のRAM内の印刷データを示した説明図である。

【図4】

プリンタエンジン部のRAM内の印刷データを示した説明図である。

【図 5】

図 2 のアドレスカウンタ (3 4 8) 内の動作を示した状態遷移図である。

【図 6】

アドレスカウンタ (3 2 3) の動作を示した状態遷移図である。

【図 7】

PDLコントローラ部のRAM内の印刷データを示した説明図である。

【図 8】

プリンタエンジン部のRAM内の印刷データを示した説明図である。

【図 9】

本発明によるPCIコントローラの第2の実施形態を示したブロック図である。

【図 1 0】

第2実施形態におけるPDLコントローラ部のRAM内の印刷データを示した説明図である。

【図 1 1】

第2実施形態におけるプリンタエンジン部のRAM内の印刷データを示した説明図である。

【図 1 2】

第2実施形態におけるPDLコントローラ部のRAM内の印刷データを示した説明図である。

【図 1 3】

第2実施形態におけるプリンタエンジン部のRAM内の印刷データを示した説明図である。

【図 1 4】

従来のPDLメモリの印刷データを示す説明図である。

【図 1 5】

従来のエンジン本体メモリ内の印刷データを示す説明図である。

【図 1 6】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 1 7】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 1 8】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 1 9】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 2 0】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 2 1】

本発明の第 3 実施形態における印刷データ転送方法を示す説明図である。

【図 2 2】

本発明の第 4 実施形態のプリンタの制御系の構成を示すブロック図である。

【図 2 3】

図 2 2 の P C I コントローラの構成を詳細に示すブロック図である。

【図 2 4】

図 2 3 の構成を一部変形した構成を示すブロック図である。

【図 2 5】

図 2 2 の構成を一部変形した構成を示すブロック図である。

【符号の説明】

- 1 P D L コントローラ部
- 2 プリンタエンジン部
- 3 P C I バス
- 4 ネットワーク送受信部
- 5 外部機器
- 1 0 1 表示パネル
- 1 0 2 パネル I / F
- 1 0 3 ホスト I / F
- 1 0 4 外部機器

- 1 0 5 画像データ発生部
- 1 0 6 R A M
- 1 0 7 R O M
- 1 0 8 C P U
- 1 0 9 P C I I / F
- 1 1 0 バス
- 2 0 1 P C I I / F
- 2 0 2 C P U
- 2 0 3 R O M
- 2 0 4 R A M
- 2 0 5 プリンタ I / F
- 2 0 6 プリンタ
- 3 0 1 データ出力コントロール信号
- 3 0 2 リード信号
- 3 0 3 データバス
- 3 0 4 N O R 回路
- 3 0 5 双方向バッファ
- 3 0 6 データバス
- 3 0 7 データバス
- 3 0 8 F I F O (チャンネル 1)
- 3 0 9 R ・ W A C K 1 信号
- 3 1 0 R ・ W R E Q 1 信号
- 3 1 1 データバス
- 3 1 2 データバス
- 3 1 3 セレクタ
- 3 1 4 マスターコントローラ
- 3 1 5 F I F O (チャンネル 2)
- 3 1 6 データバス
- 3 1 7 データバス

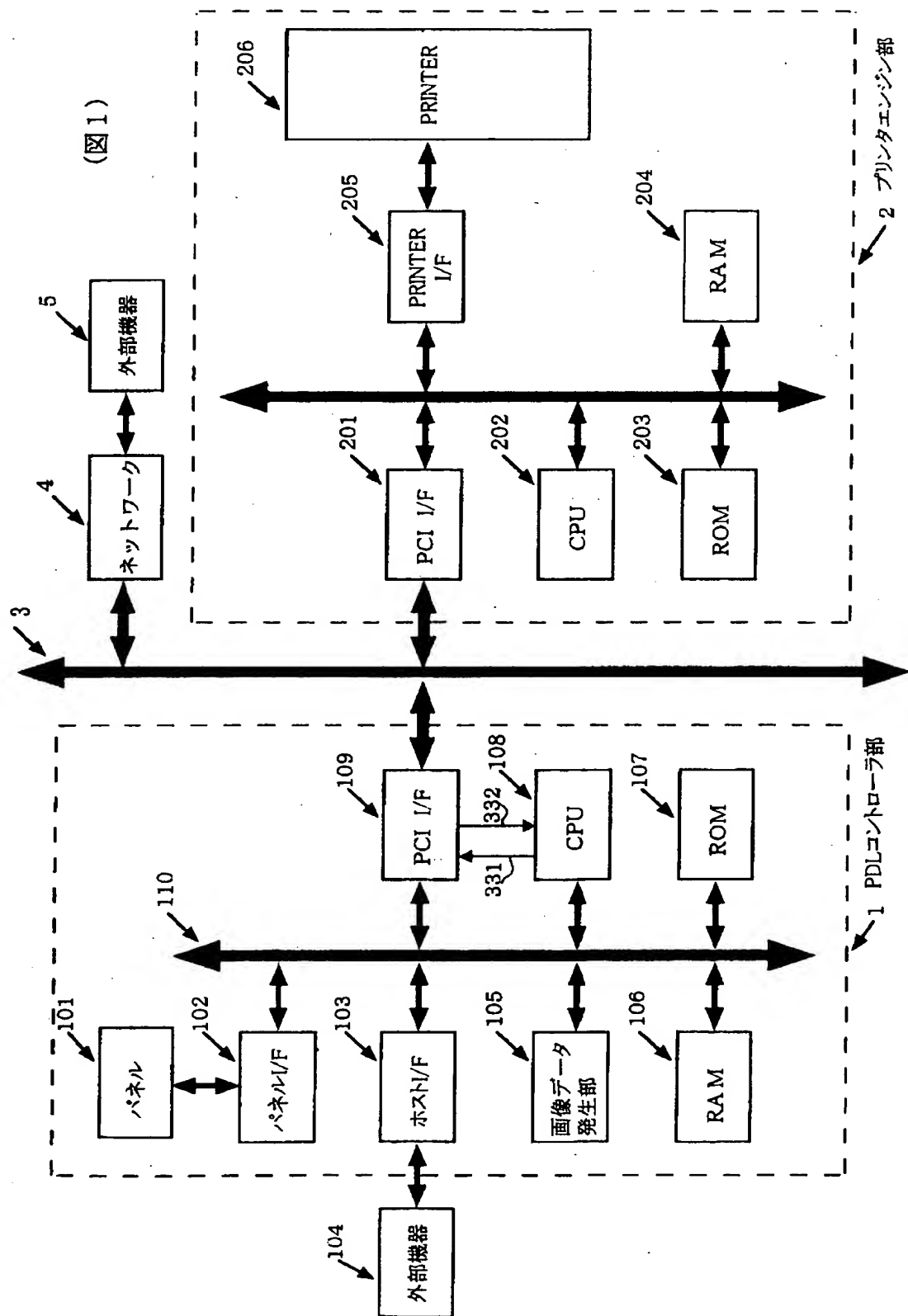
- 3 1 8 ライトアドレスカウンタ
- 3 1 9 ライトアドレス
- 3 2 0 リードアドレスカウンタ
- 3 2 1 リードアドレス
- 3 2 2 DMAコントローラ（2チャンネル分）
- 3 2 3 P C I 側アドレスカウンタ（2チャンネル分）
- 3 2 4 ライトイネーブル信号
- 3 2 5 R・WACK 2 信号
- 3 2 6 R・WREQ 2 信号
- 3 2 7 リードイネーブル信号
- 3 2 8 選択信号
- 3 3 0 P C I 側アドレスバス
- 3 3 1 C P U 制御信号
- 3 3 2 バスコントロール信号
- 3 3 3 P D L 側バスアービター回路
- 3 3 4 DMA REQ 信号
- 3 3 5 DMA ACK 信号
- 3 3 6 AND 回路
- 3 3 7 AND 回路
- 3 3 8 OR 回路
- 3 3 9 データバス
- 3 4 0 P D L 内アドレスバス
- 3 4 1 双方向バッファ
- 3 4 2 P D L 内リード信号
- 3 4 3 P D L アドレス出力コントロール信号
- 3 4 4 P D L 側アドレスデコーダ
- 3 4 5 P D L データ選択信号
- 3 4 6 P D L データ選択信号
- 3 4 7 P D L データ選択信号

- 3 4 8 P D L 側 アドレスカウンタ
- 3 4 9 P D L ライト信号
- 3 5 0 A N D 回路
- 3 5 1 A N D 回路
- 3 5 2 O R 回路
- 3 5 3 データバス
- 3 5 4 R ・ W A C K 信号
- 3 5 5 O R 回路
- 3 5 6 P D L データ選択信号
- 3 5 7 P D L データ選択信号
- 3 5 8 P C I データ選択信号
- 3 5 9 P C I データ選択信号
- 3 6 0 P C I 側 アドレスデコーダ
- 3 6 1 P C I データ選択信号
- 3 6 2 P C I データ選択信号
- 3 6 3 P C I データ選択信号
- 3 6 4 コンフィギュレーションレジスタ
- 3 6 5 P C I 側 データバス
- 3 6 6 P C I 側 アドレスバス
- 3 6 7 コンフィギュレーションレジスタ選択信号
- 3 6 8 コンフィギュレーションレジスタ出力信号
- 3 6 9 P C I 側 デコーダ
- 3 7 0 P C I ライト信号
- 3 7 1 ターゲットコントローラ
- 3 7 2 P C I 側 A D バス
- 3 7 3 P C I 側 制御信号
- 3 7 4 P C I 側 コマンド / バイトイネーブル信号
- 5 0 1 ダブルバッファ化した F I F O (チャンネル 2)
- 5 0 2 ダブルバッファに対応したライトアドレスカウンタ

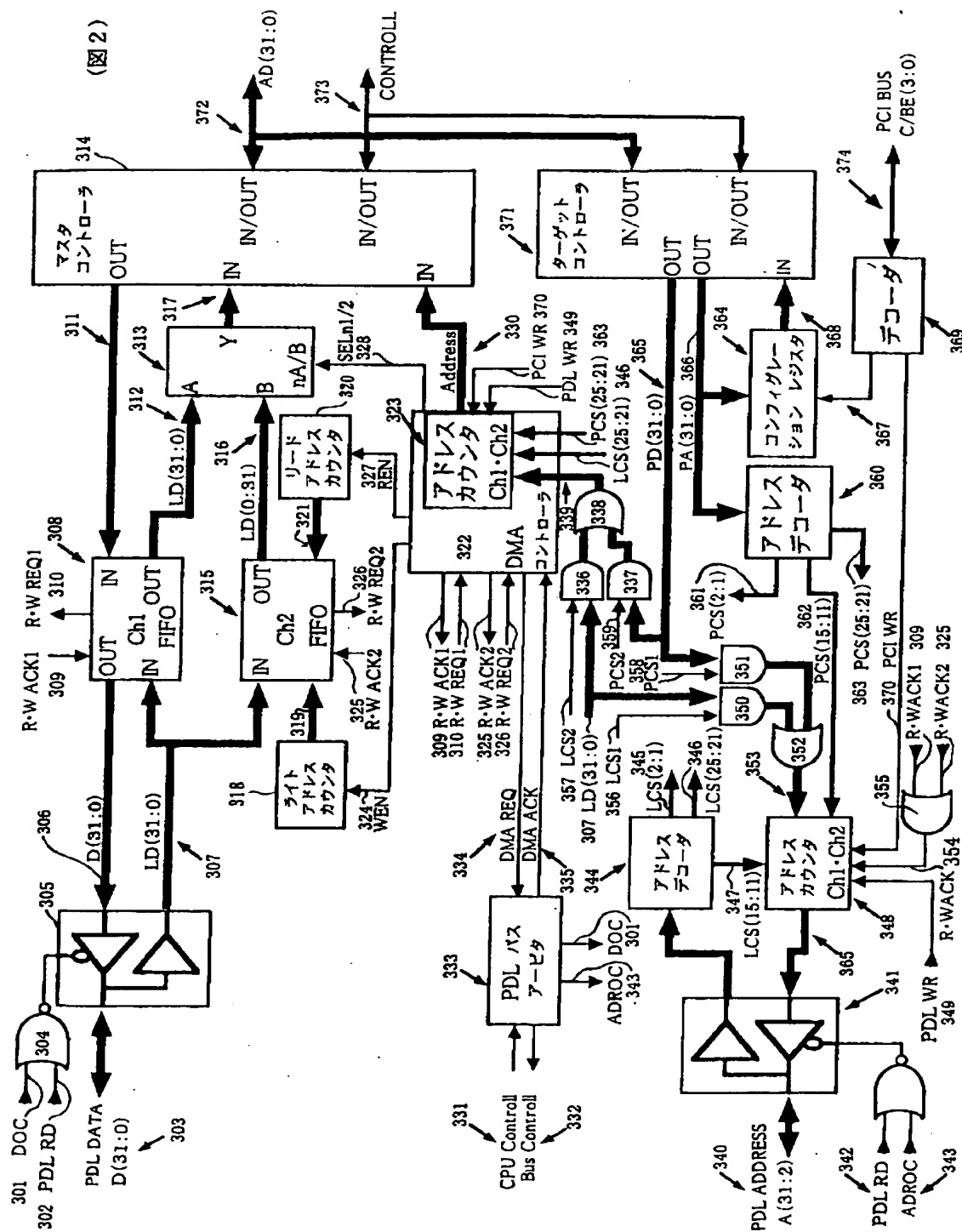
- 5 0 3 ライトアドレス出力信号
- 5 0 4 ダブルバッファに対応したリードアドレスカウンタ
- 5 0 5 リードアドレス出力信号
- 5 0 6 ライトイネーブル信号
- 5 0 7 リードイネーブル信号
- 5 0 8 R・WACK 2、3 信号
- 5 0 9 R・WREQ 2、3 信号
- 1 5 0 1 専用バス
- 1 5 0 2 シリアル・パラレル変換回路
- 1 5 0 3 データバス
- 1 5 0 4 セレクタ
- 1 5 0 6 選択信号
- 1 5 0 7 レジスタ
- 1 5 0 8 P C I データ選択信号
- 1 5 0 9 P C I 側データ

【書類名】 図面

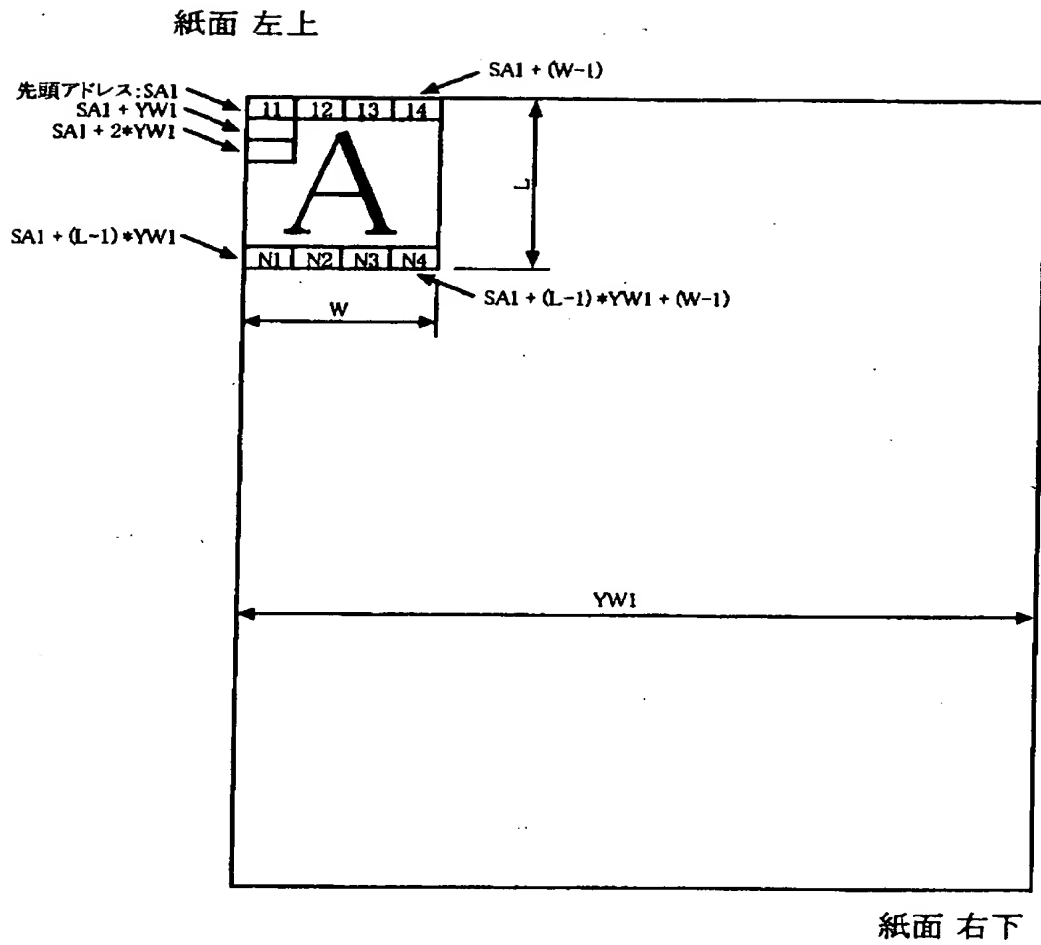
【図 1】



【図2】

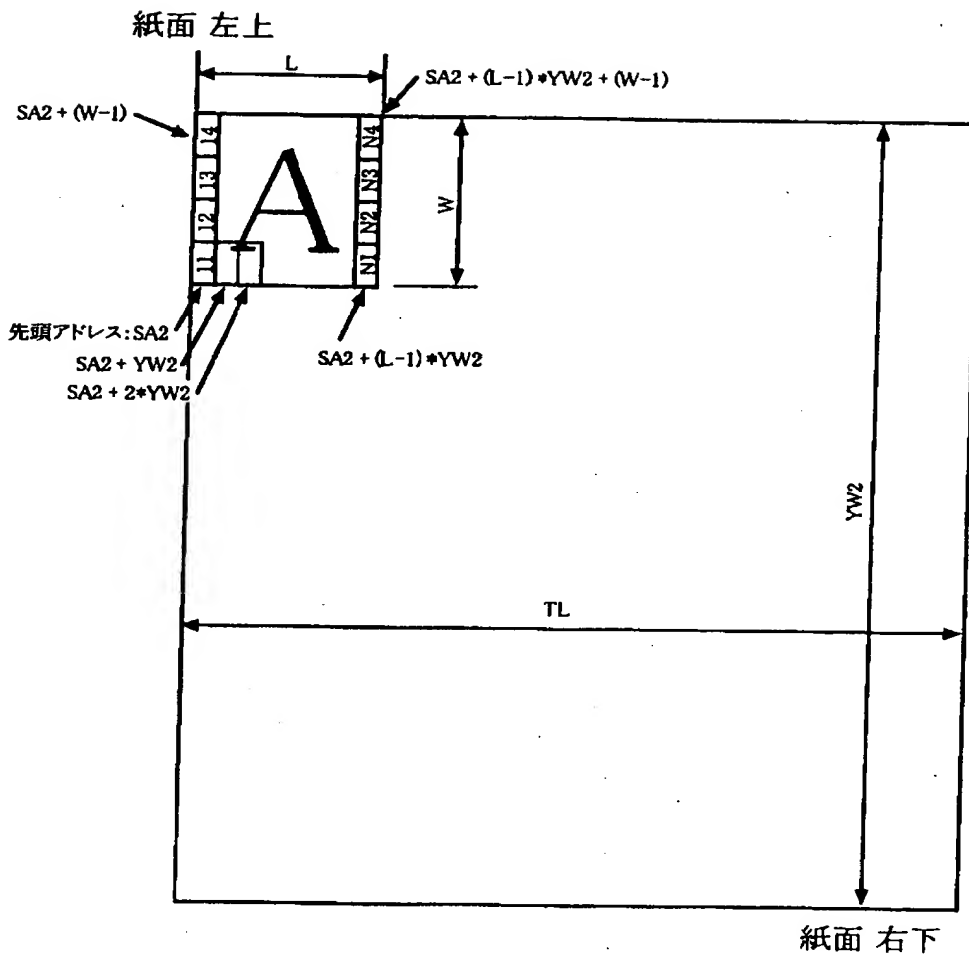


【図 3】



(図 3) PDLメモリ内・印字データ

【図 4】

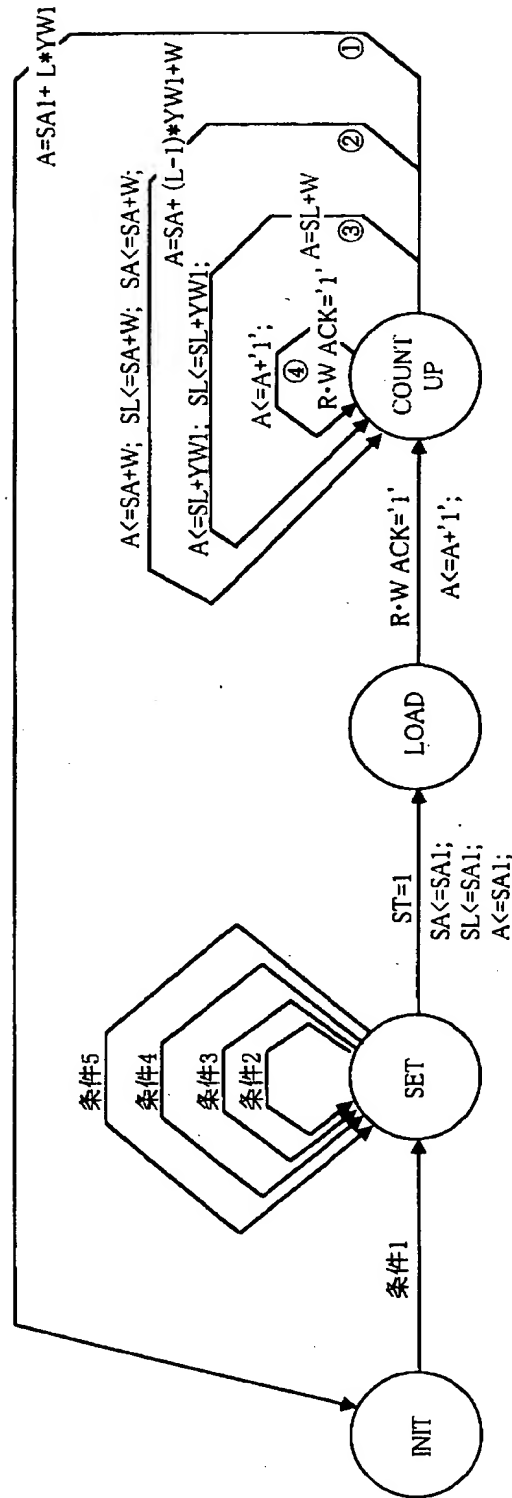


(図 4) エンジン本体メモリ内・印字データ

【図 5】

(X5)

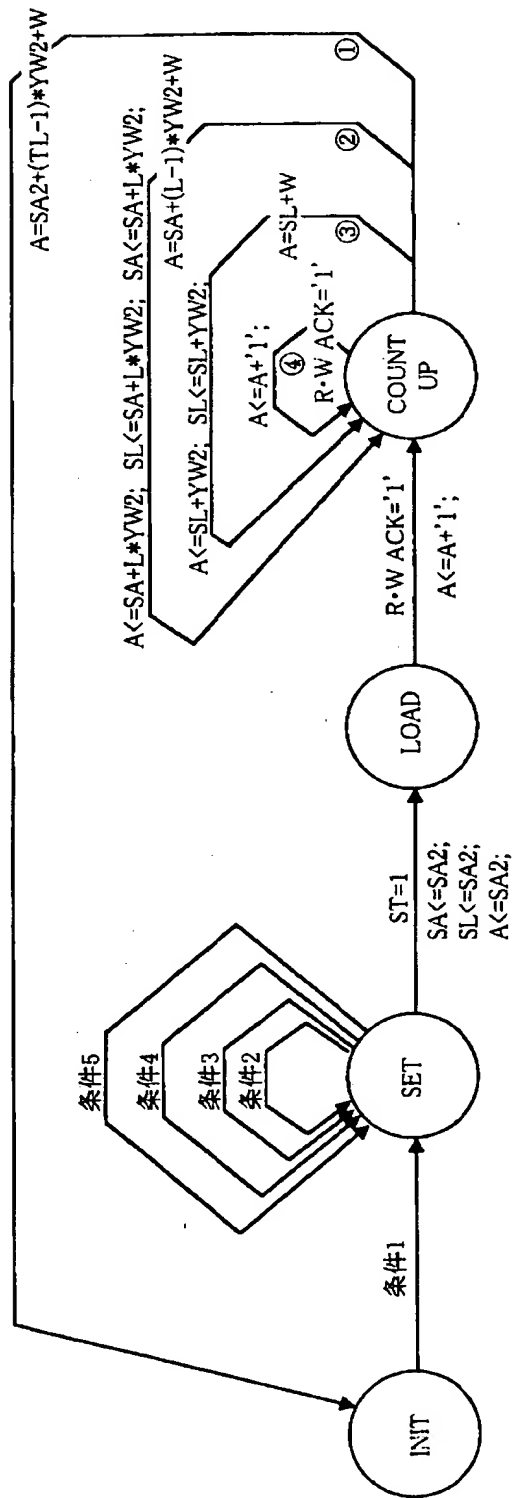
条件1:	(LCS11='1' or PCS11='1') and (PC1WR='1' or PDLWR='1')	SA1<=DT;
条件2:	(LCS12='1' or PCS12='1') and (PC2WR='1' or PDLWR='1')	YW1<=DT;
条件3:	(LCS13='1' or PCS13='1') and (PC3WR='1' or PDLWR='1')	W<=DT;
条件4:	(LCS14='1' or PCS14='1') and (PC4WR='1' or PDLWR='1')	L<=DT;
条件5:	(LCS15='1' or PCS15='1') and (PC5WR='1' or PDLWR='1')	ST<='1';



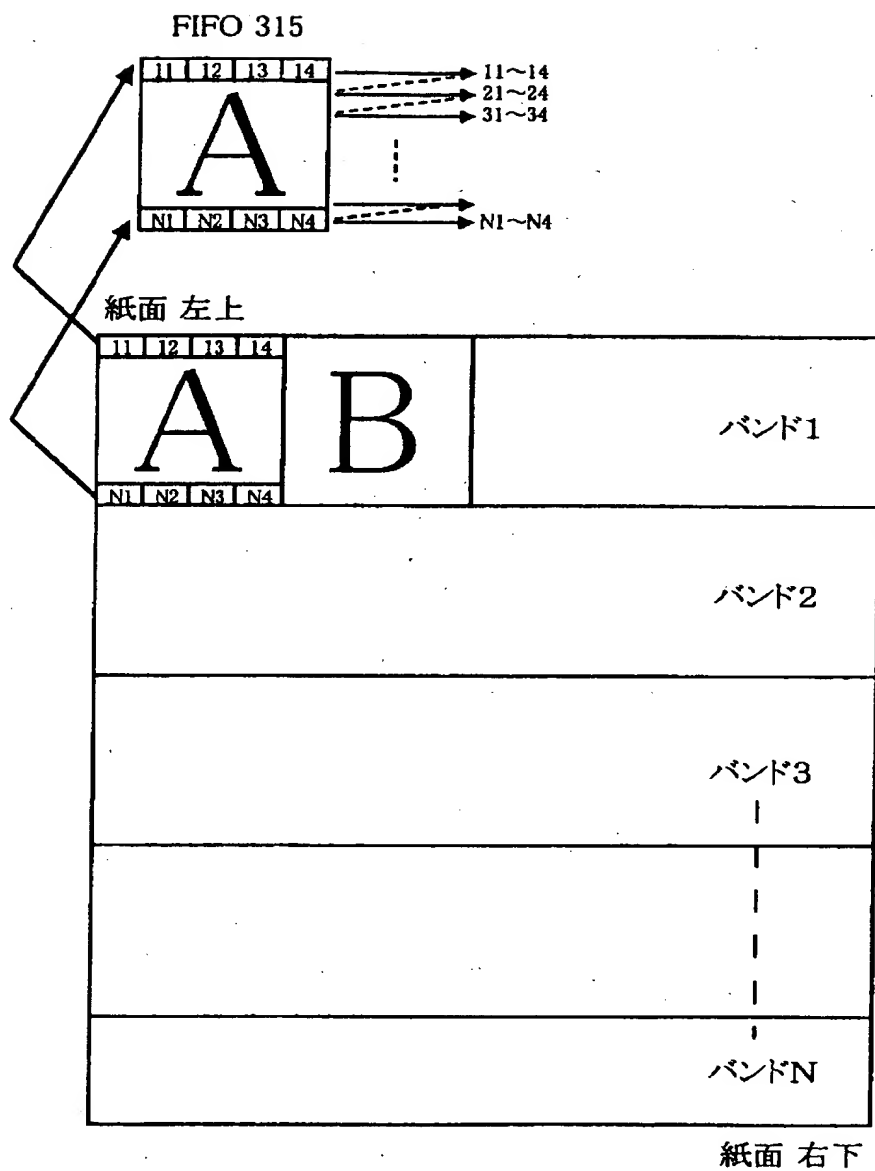
【図 6】

(図 6)

条件1: ((LCS21='1' or PCS21='1') and (PC1WR='1' or PDLWR='1')) SA2<=DT;
 条件2: ((LCS22='1' or PCS22='1') and (PC1WR='1' or PDLWR='1')) YW2<=DT;
 条件3: ((LCS23='1' or PCS23='1') and (PC1WR='1' or PDLWR='1')) W<=DT;
 条件4: ((LCS24='1' or PCS24='1') and (PC1WR='1' or PDLWR='1')) L<=DT;
 条件5: ((LCS25='1' or PCS25='1') and (PC1WR='1' or PDLWR='1')) TL<=DT; ST<='1';

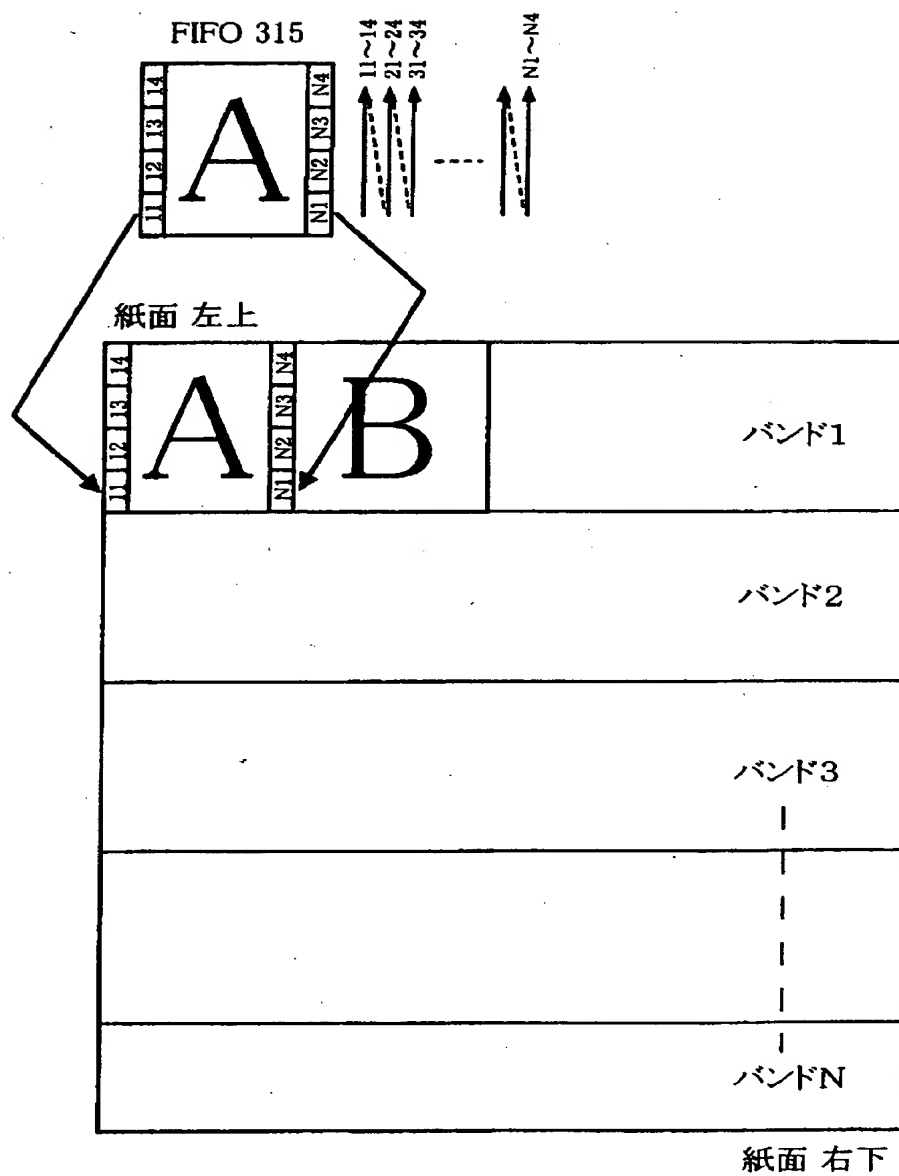


【図 7】



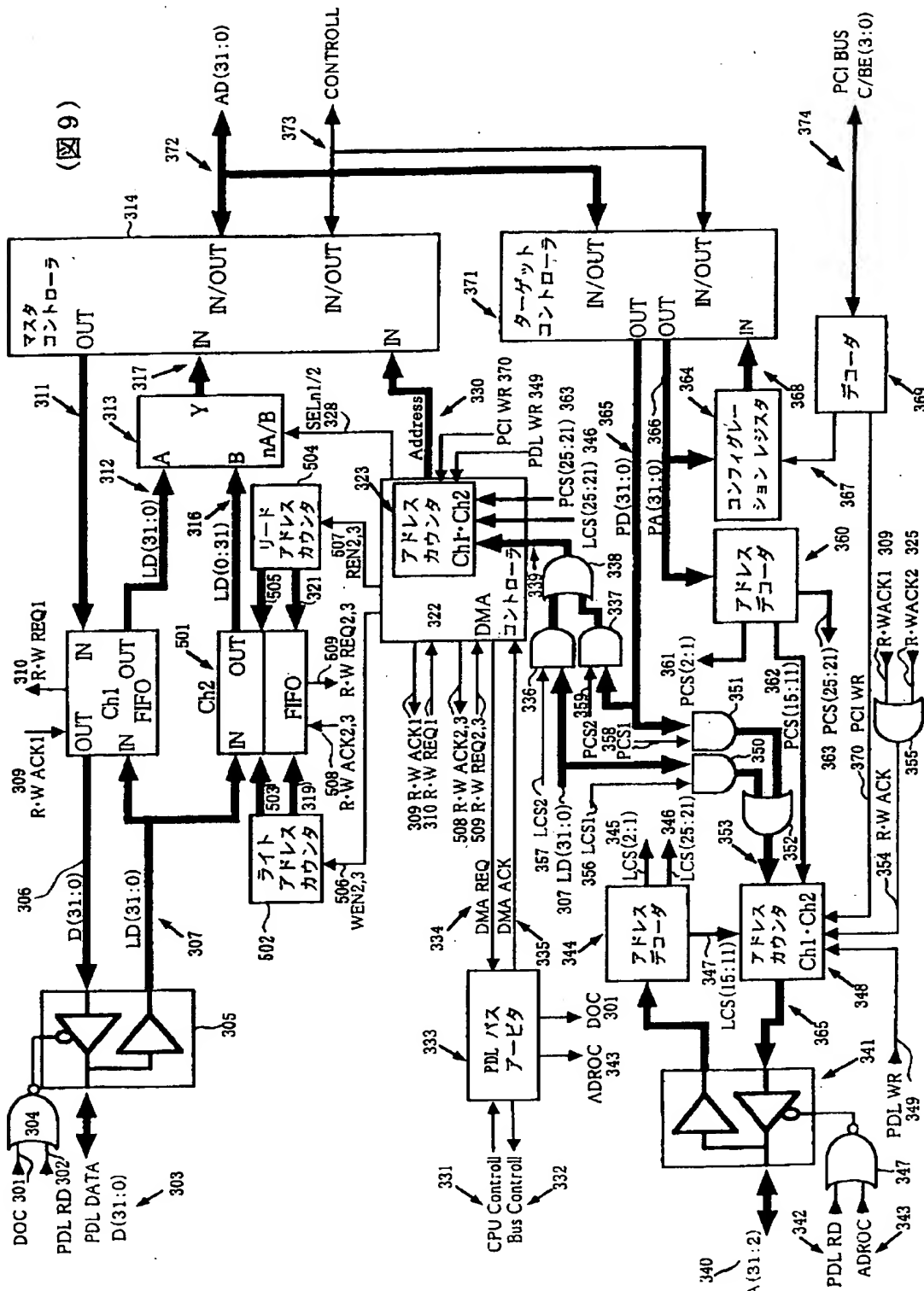
(図 7) PDLメモリ内・印字データ

【図 8】

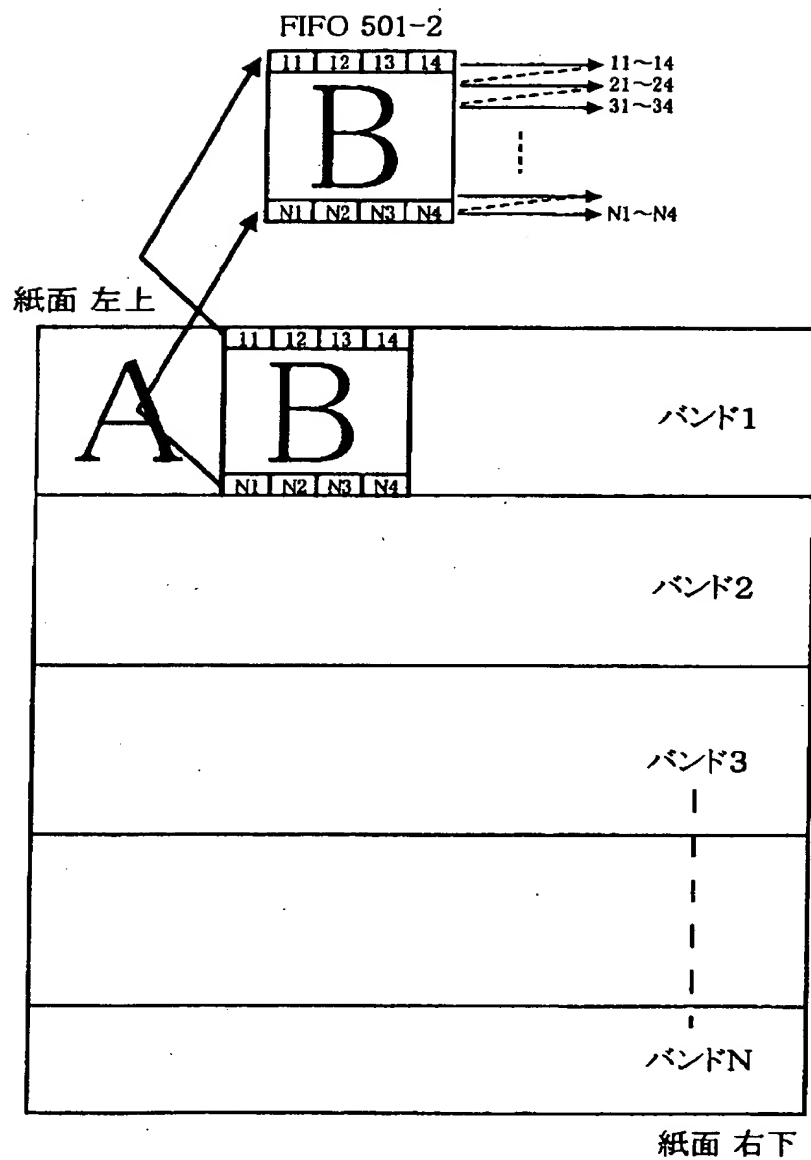


(図 8) エンジン本体メモリ内・印字データ

【図 9】

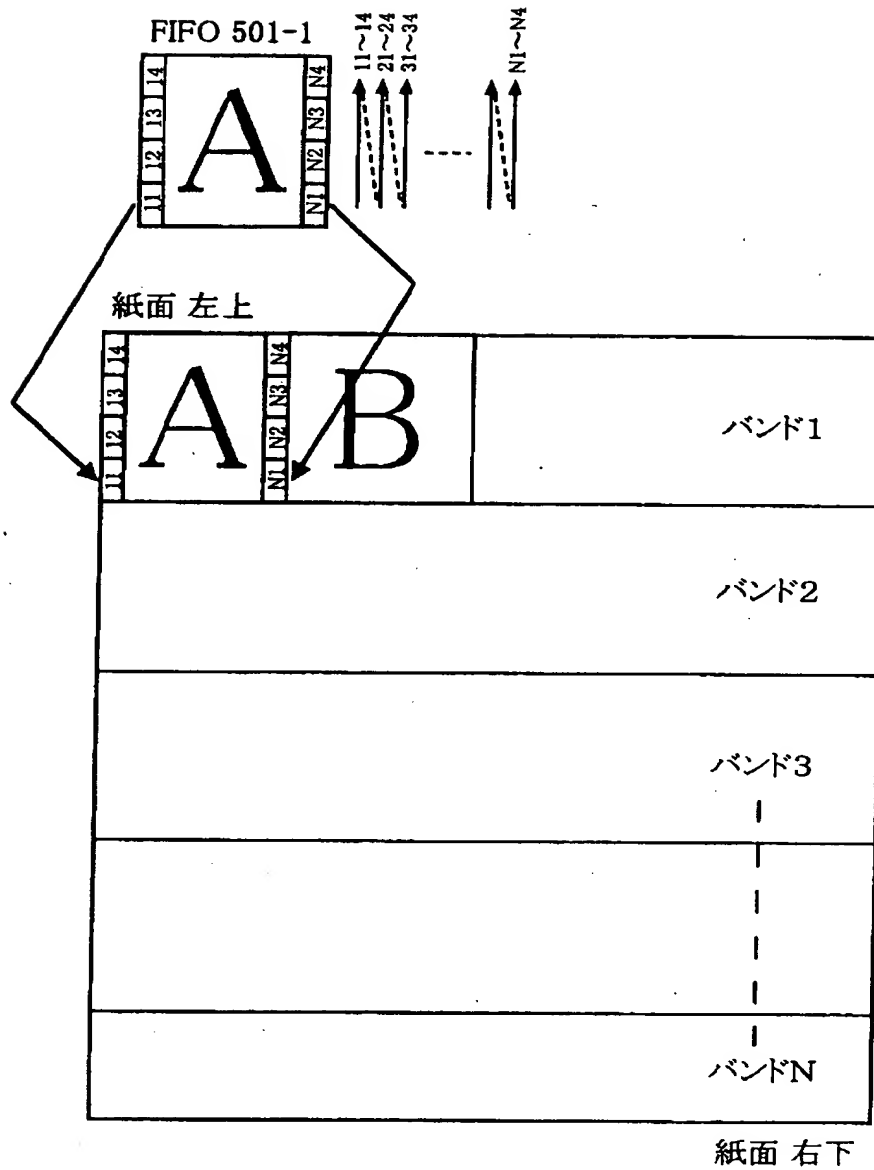


【図10】



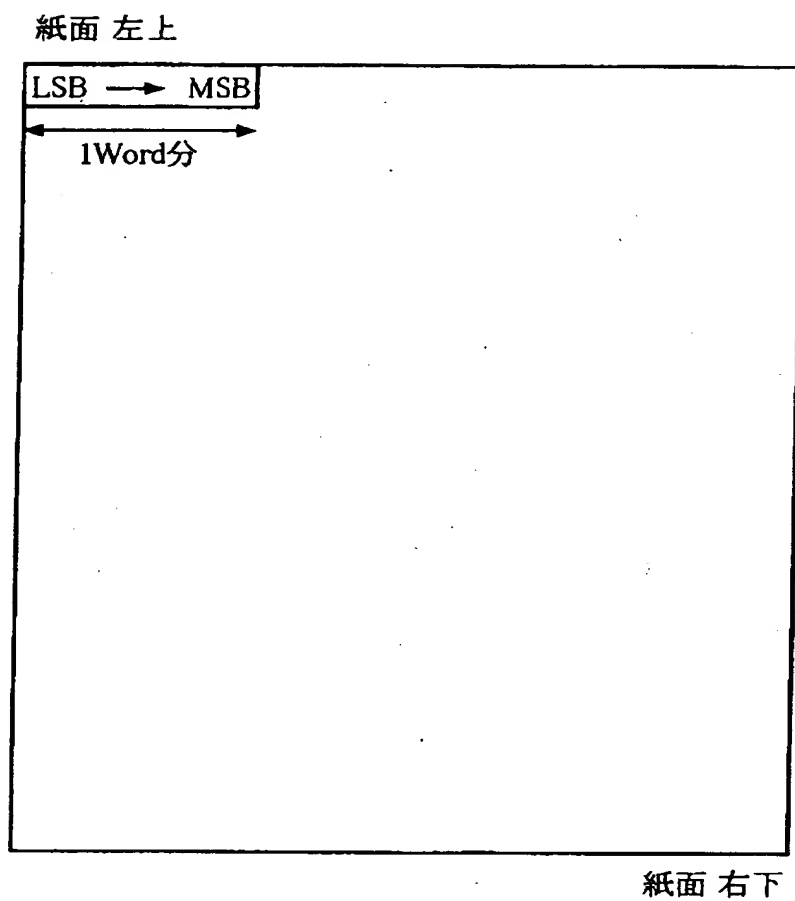
(図10) PDLメモリ内・印字データ

【図 1 1】



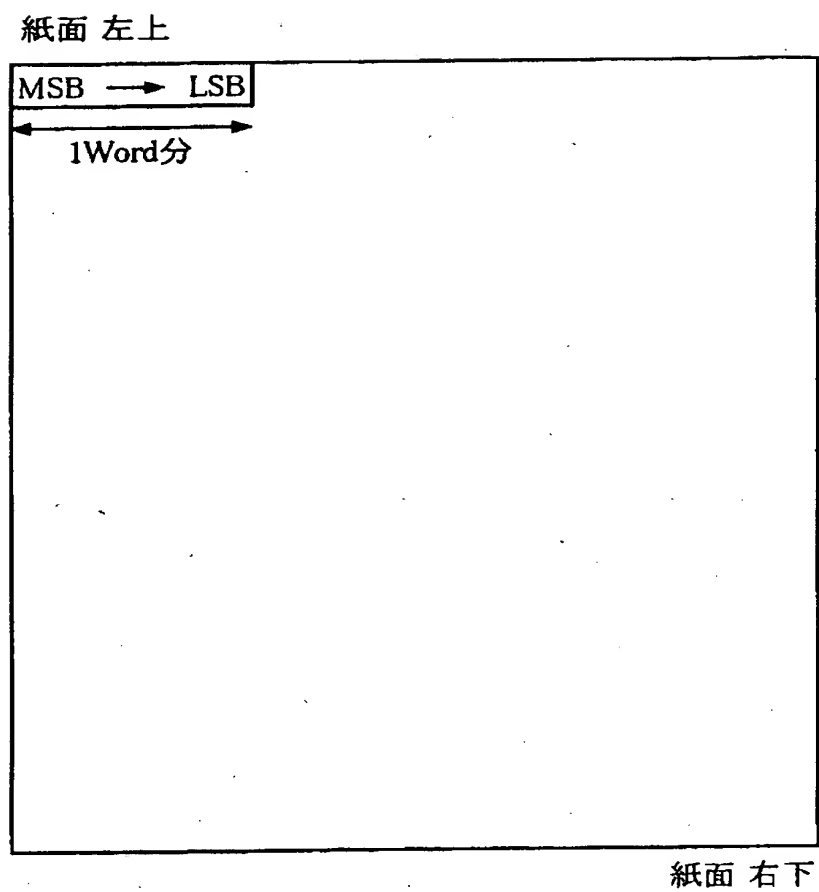
(図 1 1) エンジン本体メモリ内・印字データ

【図 1 2】



(図 1 2) PDLメモリ内・印字データの並び

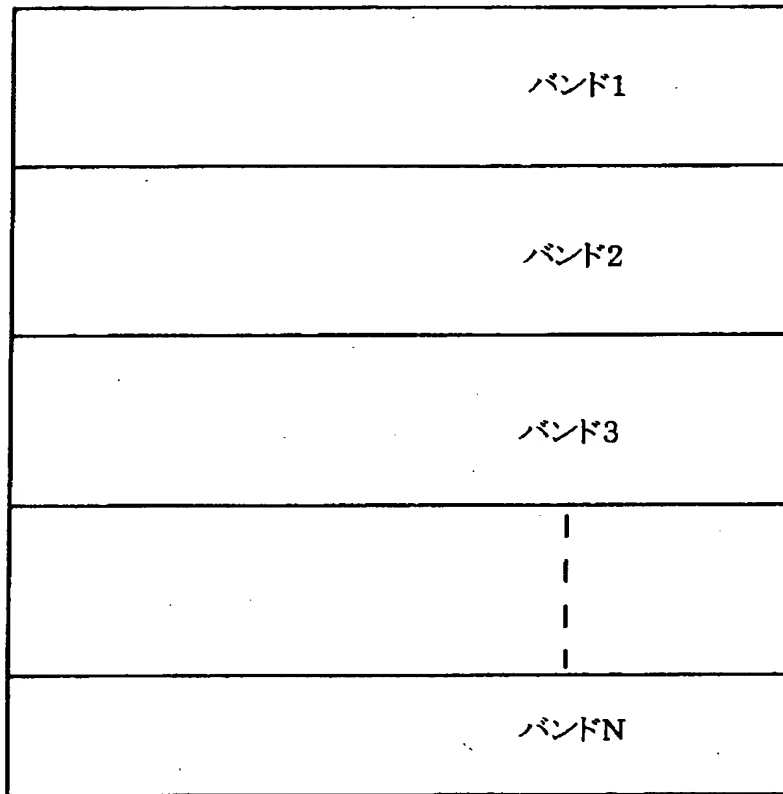
【図 1 3】



(図 1 3) エンジン本体メモリ内・印字データの並び

【図 14】

紙面 左上



紙面 右下

(図 14) PDLメモリ内・印字データ

【図 1 5】

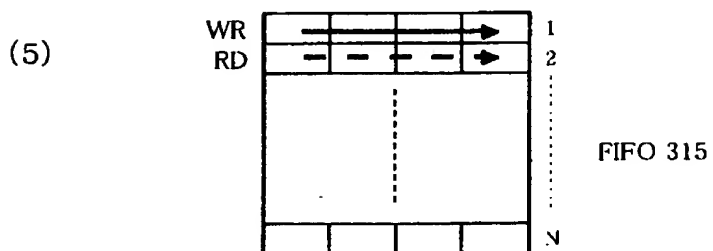
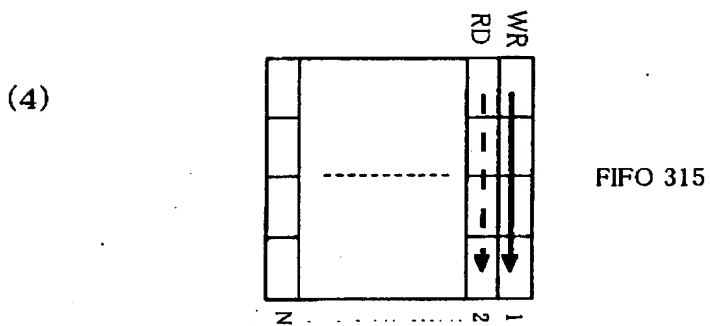
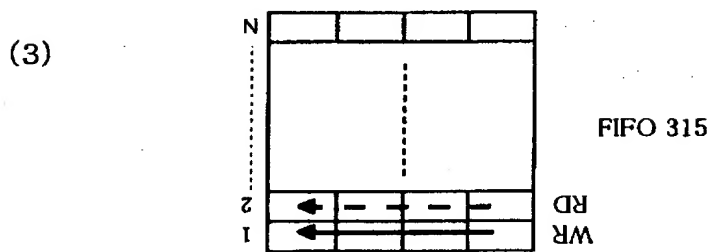
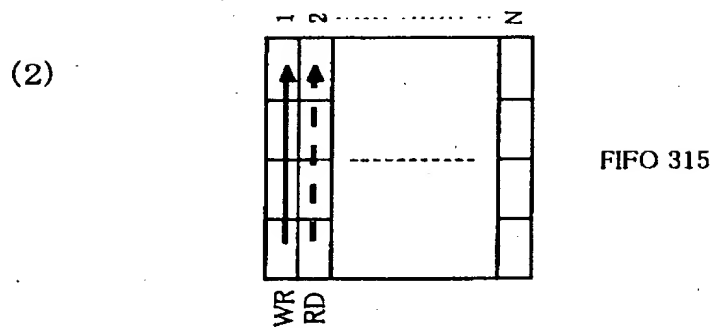
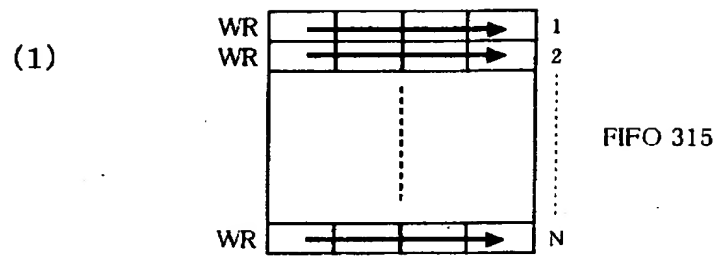
紙面 左上

バンド1
バンド2
バンド3
⋮
バンドN

紙面 右下

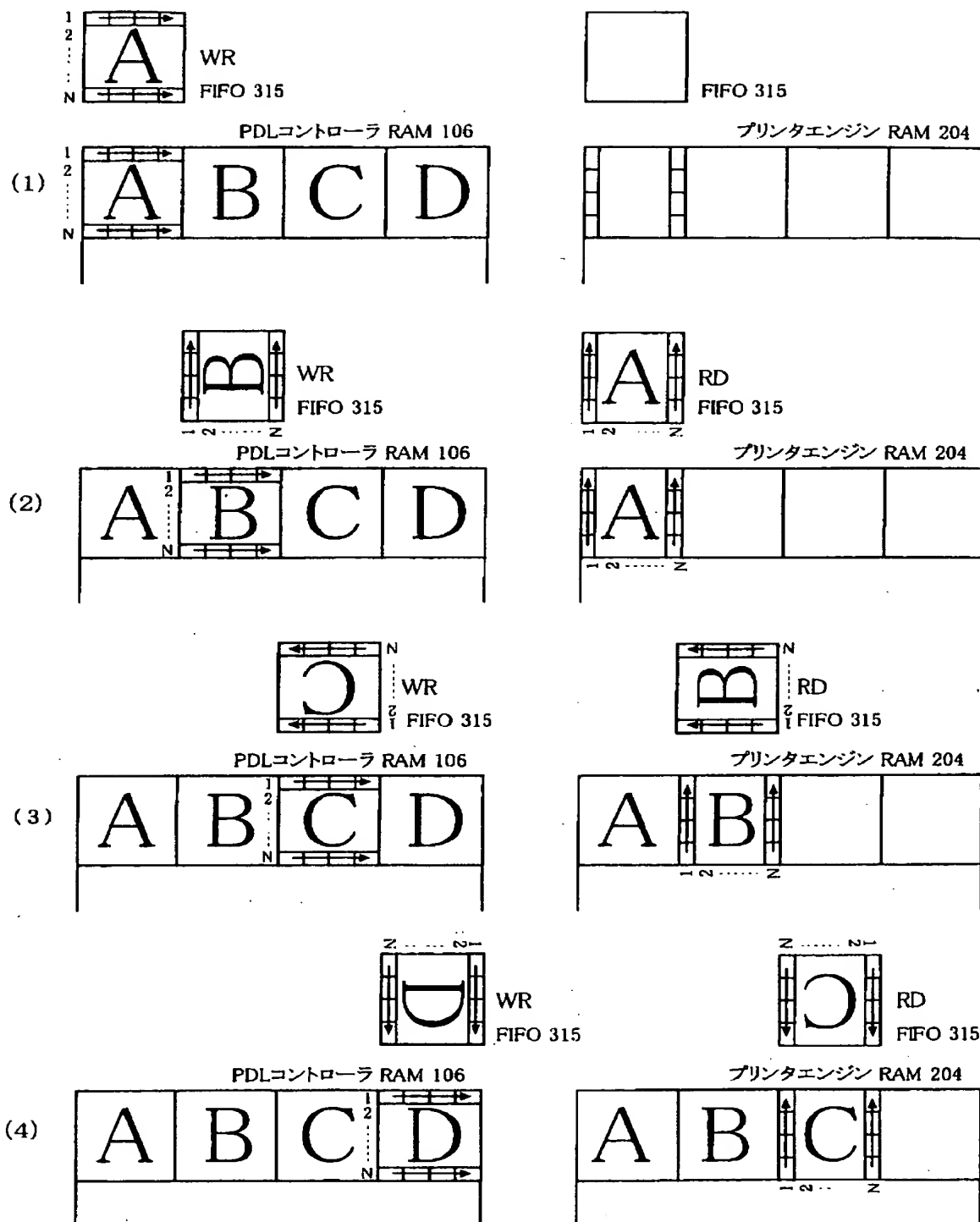
(図 1 5) エンジン本体メモリ内・印字データ

【図 16】



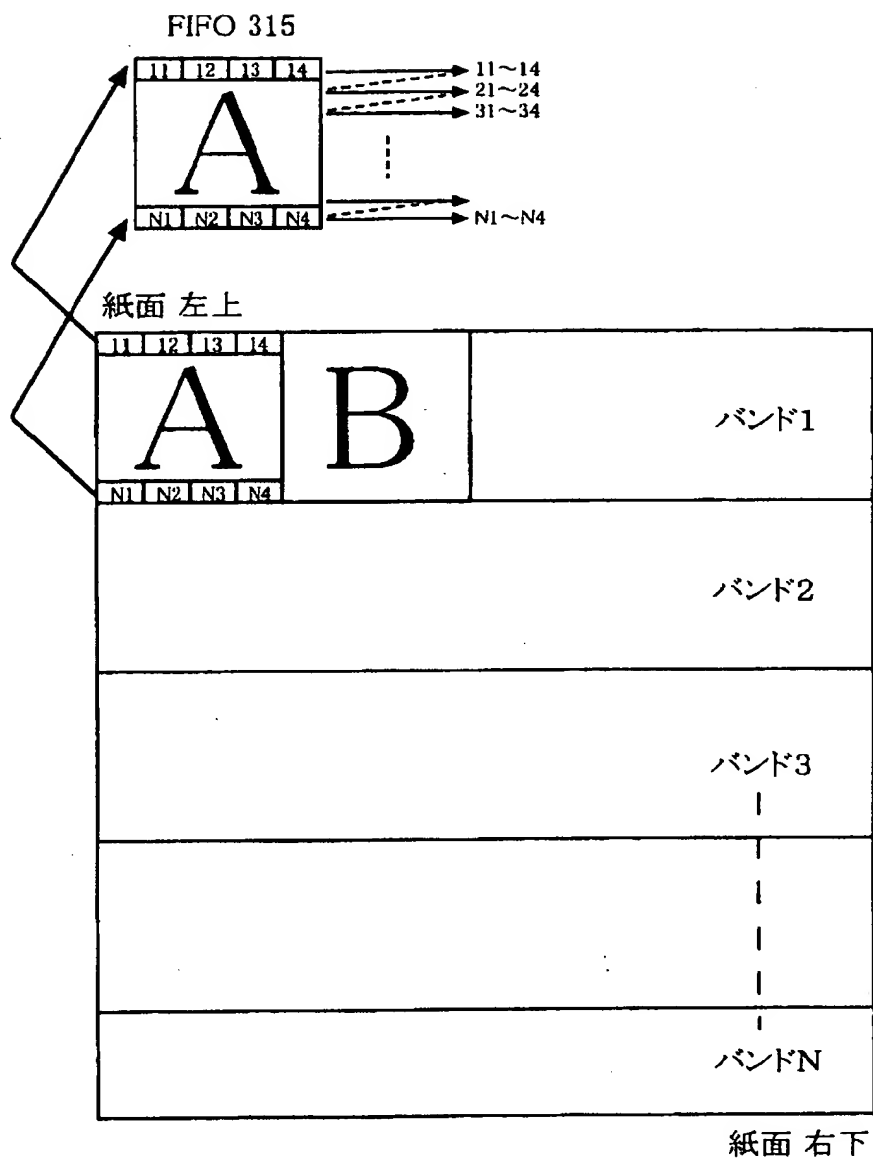
(図 16)

【図 17】



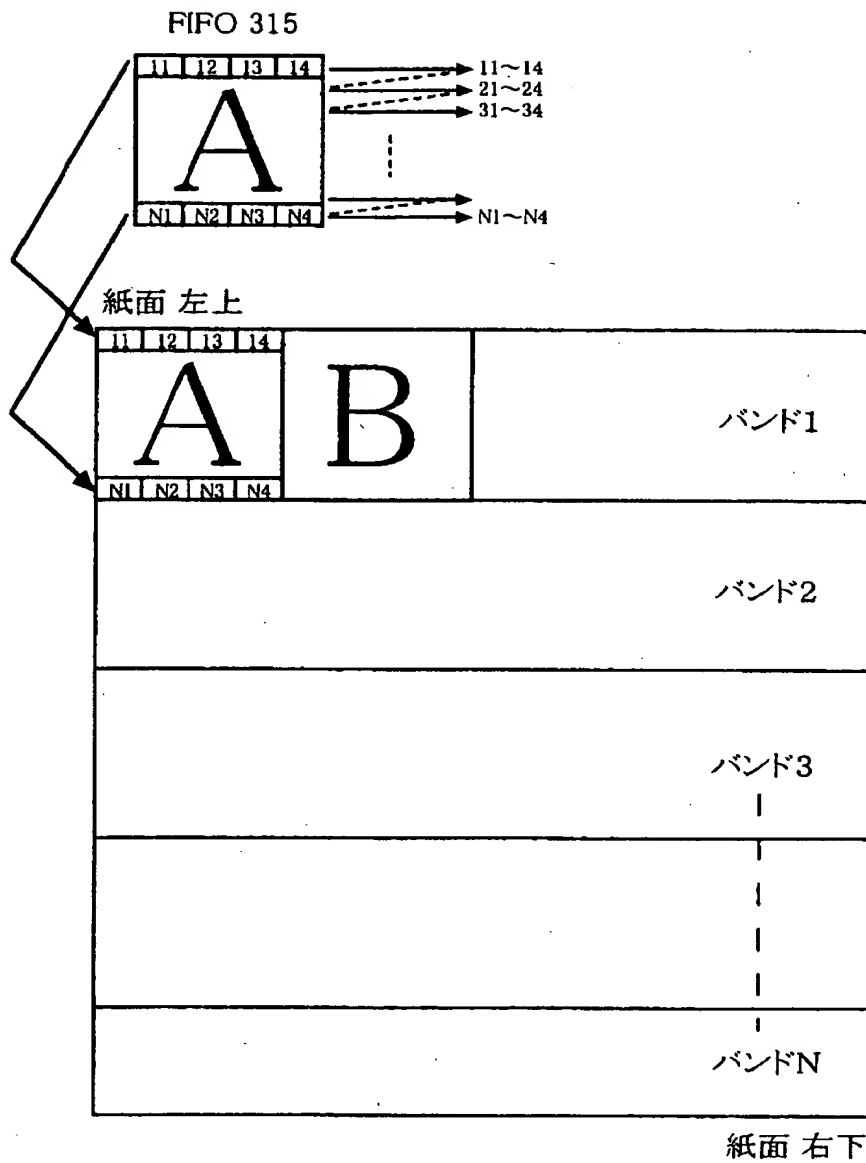
(図 17)

【図 18】



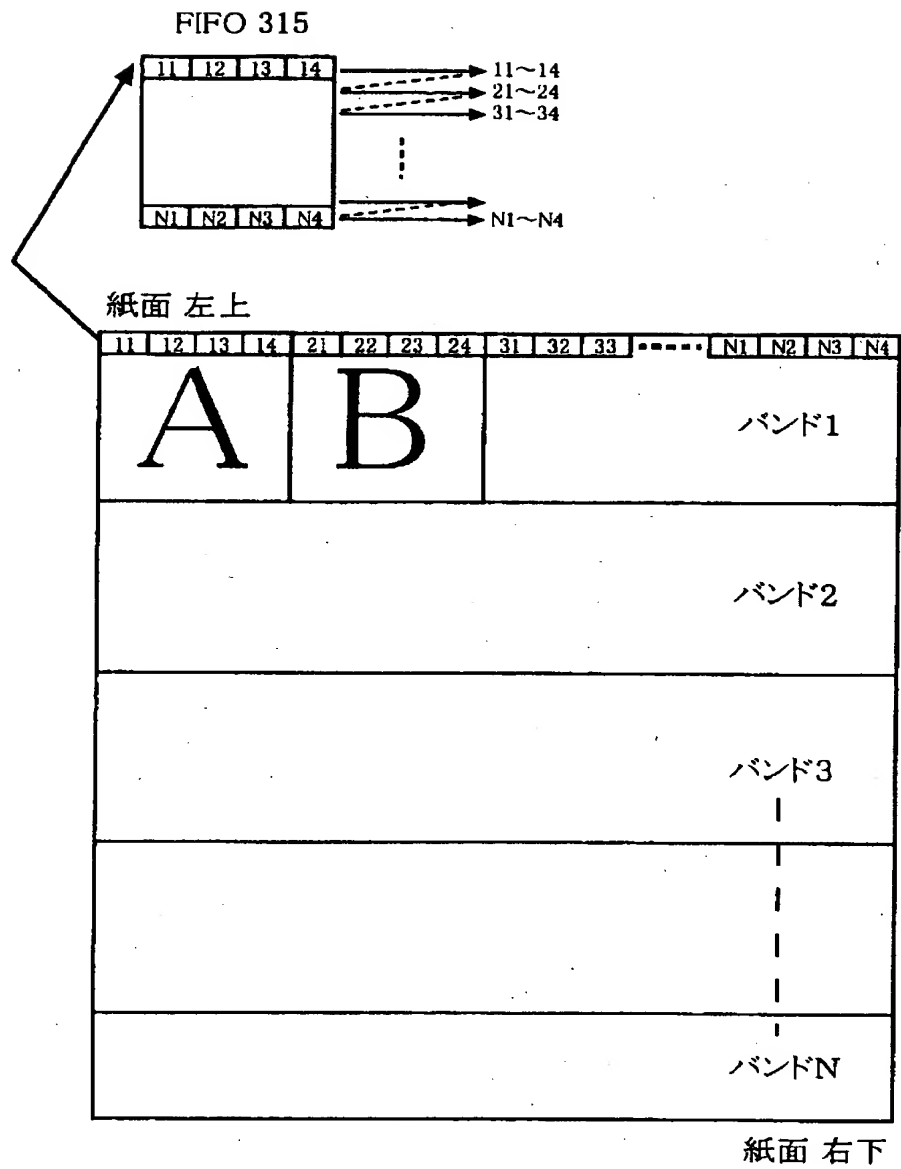
(図 18) PDLメモリ内・印字データ

【図 1 9】



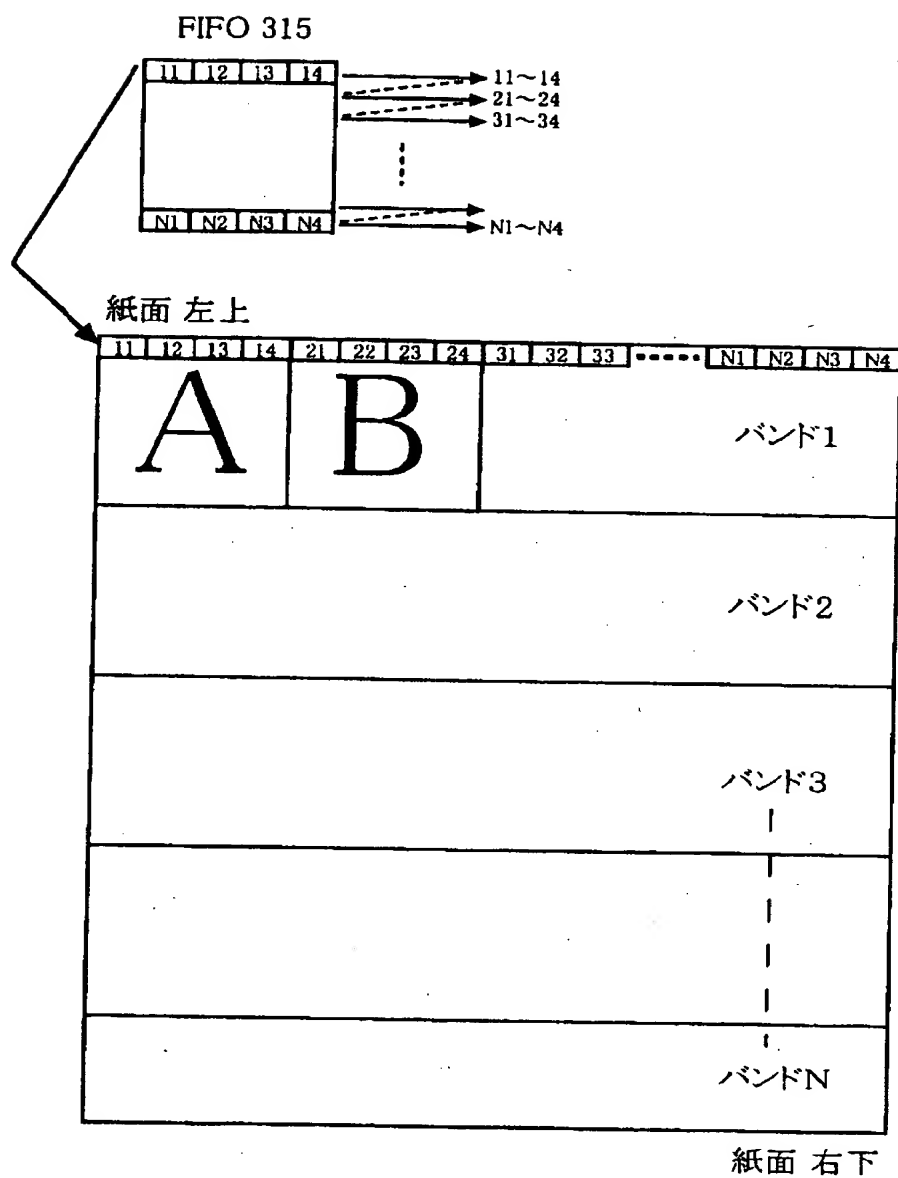
(図 1 9) エンジン本体メモリ内・印字データ

【図 2 0】



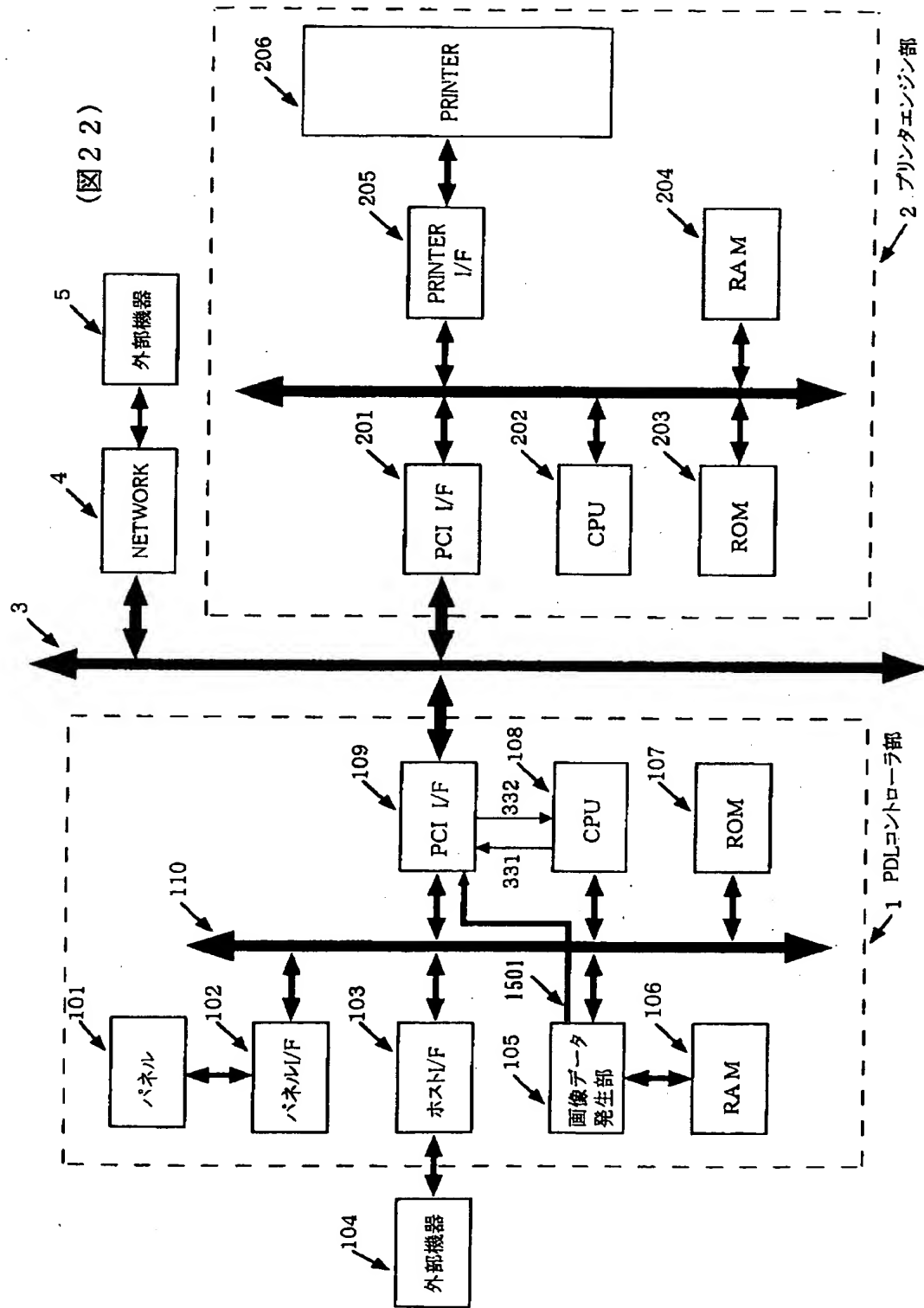
(図 2 0) PDLメモリ内・印字データ

【図 21】

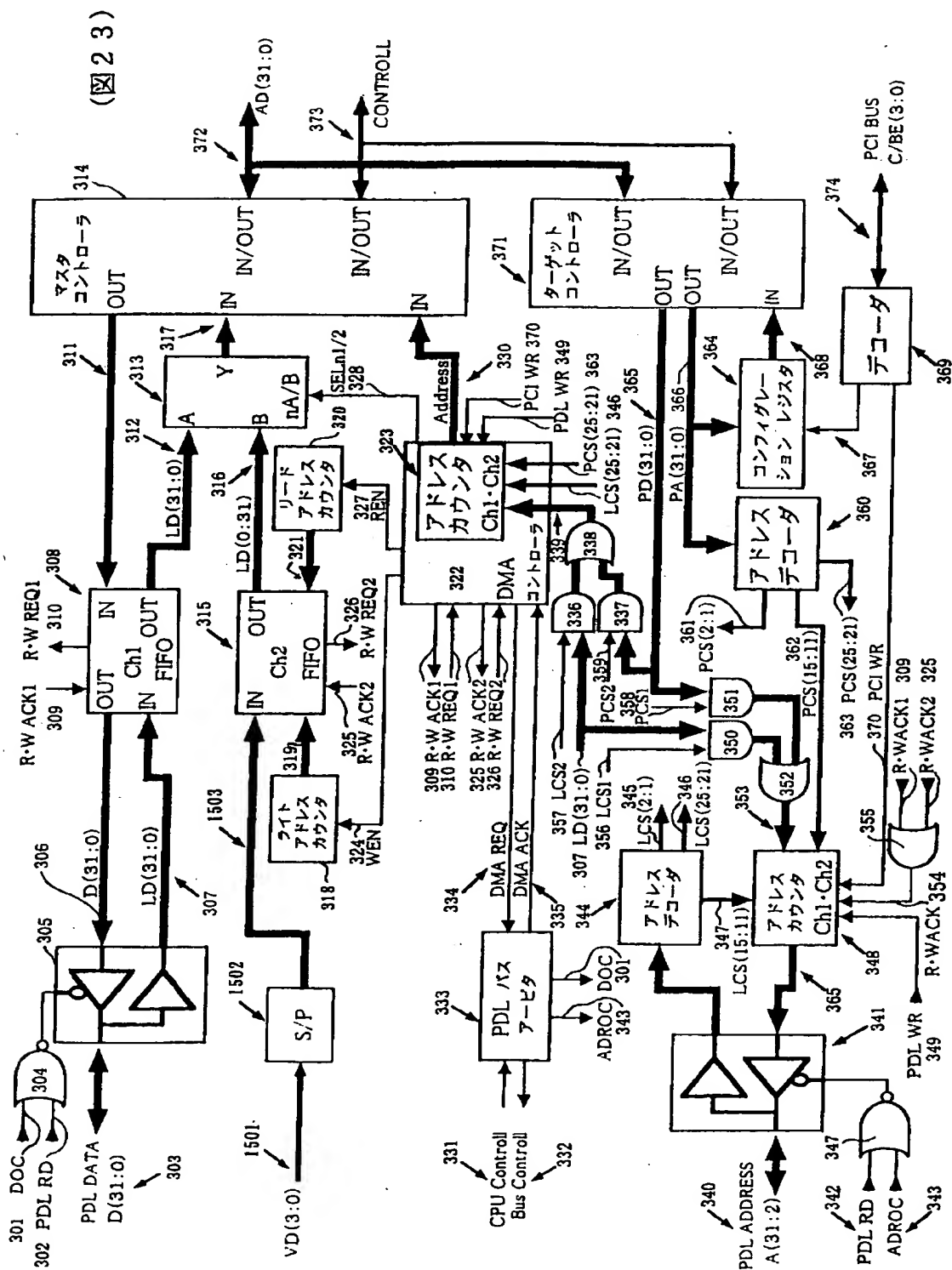


(図 21) エンジン本体メモリ内・印字データ

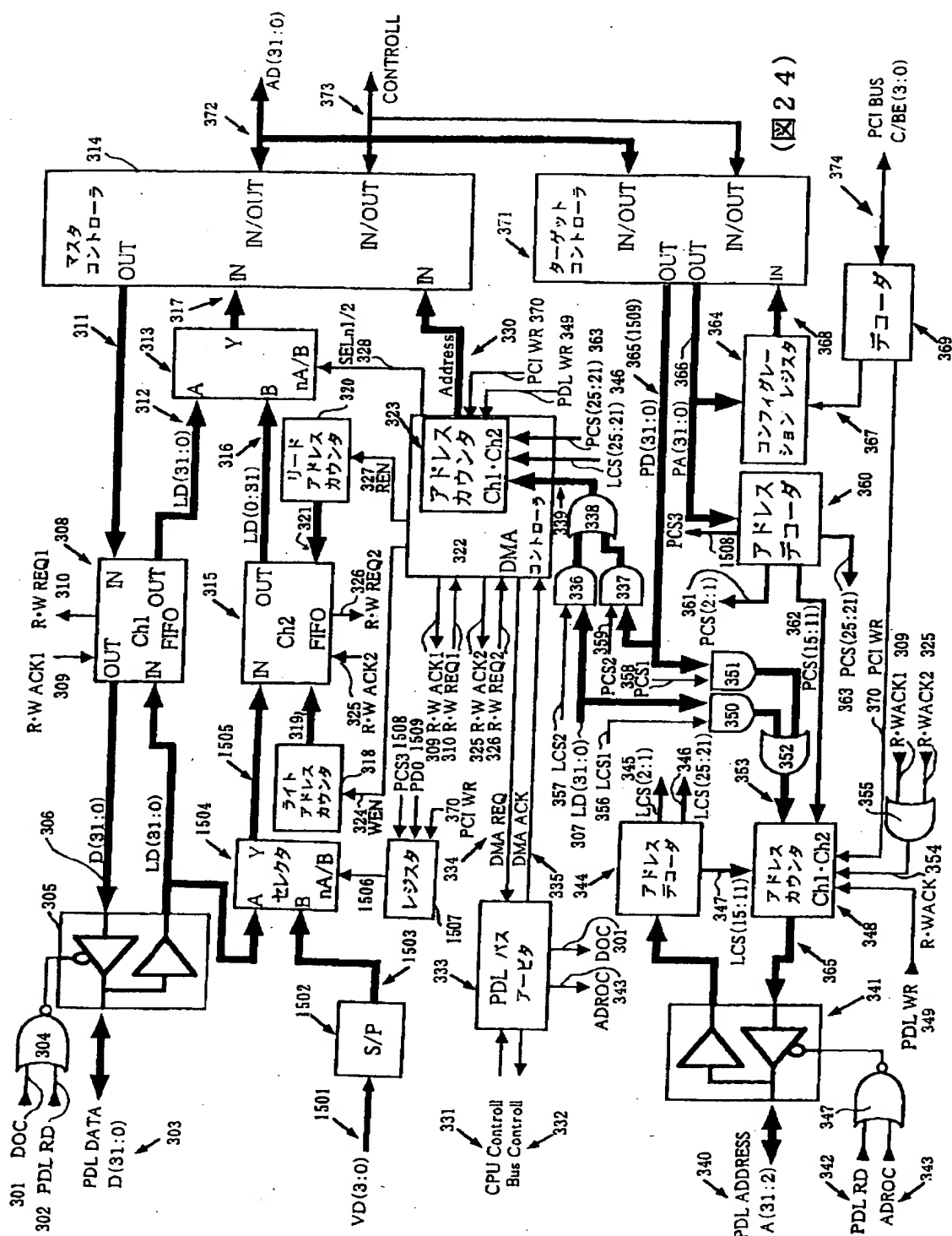
【図 22】



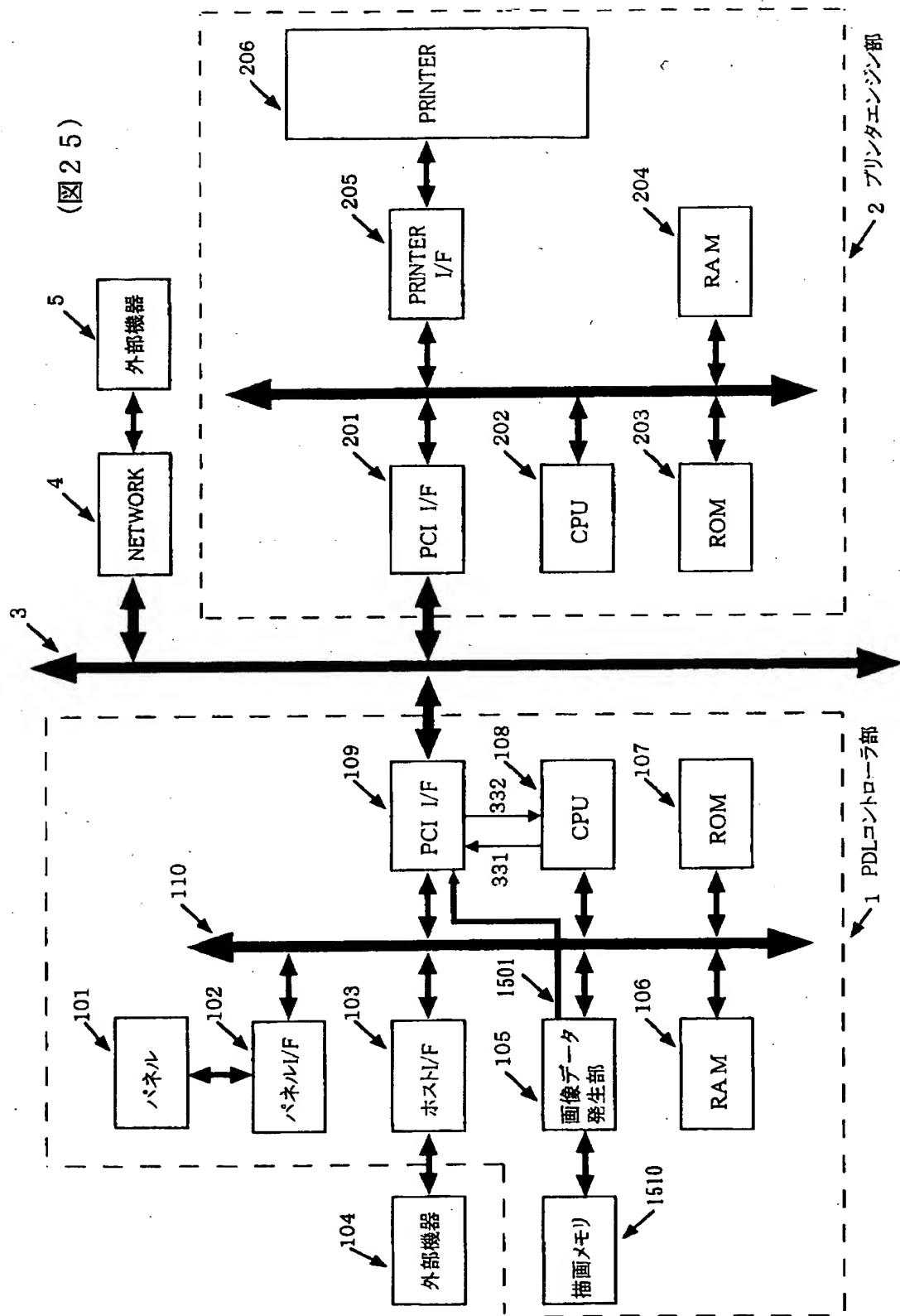
【图 2 3】



【图 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 印刷装置のスループットを低下させることなく画像の回転を行ない、高速な印刷を行なえるようにする。

【解決手段】 PDLコントローラ部1と所定の記録方式により構成されたプリンタエンジン部2をPCIバス3により接続し、印刷すべき画像データをDMA転送する構成において、PDLコントローラ部1内のRAM106で展開した描画データを、一旦PCII/F109のM×Nビットのバッファメモリ（FIFO）に書き込み、該バッファメモリから読み出したデータをプリンタエンジン部2のRAM204に書き込む際に90度回転したデータをバッファメモリから読み出し、エンジン本体のメモリへDMA転送する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-156270
受付番号	50100751126
書類名	特許願
担当官	第二担当上席 0091
作成日	平成13年 5月30日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キヤノン株式会社

【代理人】

申請人	
【識別番号】	100075292
【住所又は居所】	東京都新宿区市谷本村町2番11号 外濠スカイビル5階 加藤特許事務所
【氏名又は名称】	加藤 卓

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社